



계면 스위칭 멤리스터 소자 구조와 신경망 회로 성능에 대한 시뮬레이션 연구

송윤혁[†] · 임지민[†] · Sagar Khot · 정동명 · 권용우*

홍익대학교 신소재공학과

Simulation Study of Interfacial Switching Memristor Structure and Neural Network Performance

Yun Hyeok Song[†], Ji Min Lim[†], Sagar Khot, Dongmyung Jung, and Yongwoo Kwon*

Department of Materials Science and Engineering, Hongik University, Seoul 04066, Republic of Korea

Abstract: In this study, the architecture of an interfacial switching memristor, which has a metal-insulator-metal structure of Pt/SrTiO₃/Nb-SrTiO₃ was investigated. The performance of a neural network that uses memristors as its synapse components was also examined with system-level simulations. A finite element solver, COMSOL Multiphysics, was used to simulate synaptic device characteristics, specifically, the conductance change, using a series of pulses for a given architecture. An open-source software, NeuroSim, was used to simulate the ability of the neural network to recognize and identify handwritten digits. Electrostatics, mass transport, and thermionic emission equations were numerically solved in a fully coupled manner to model the Schottky barrier height modulation at the Pt/SrTiO₃ contact using the applied bias. The barrier height is a function of the oxygen vacancy concentration in the SrTiO₃ near the contact. The gradual change of the oxygen vacancy concentration profile caused by successive pulses results in the gradual change of conductance. Utilizing the simulations, the influences of device structure modification, and more specifically, changing the size of the Schottky contact, on long-term potentiation and depression were analyzed for planar devices. The results show that a smaller Schottky contact yields a higher digit recognition rate. Based on this finding, a three-dimensional device architecture that is vertically stackable was designed.

(Received 8 November, 2023; Accepted 4 December, 2023)

Keywords: Interfacial switching memristor, Schottky barrier height modulation, Synaptic device, Device simulation

1. 서 론

최근 인공지능(artificial intelligence) 기술이 비약적으로 발전하고 있으며, 이를 구현하기 위한 하드웨어는 점점 더 거대화 되어가고, 엄청난 양의 전력을 소모한다. 가령, 2016년의 구글 알파고의 서버는 메가 와트급의 전력이 필요하며, 최근 주목받는 Chat GPT 서버의 경우 기가 와트급 이상의 전력이 필요하다. 반면, 인간의 두뇌는 약 1.5 리터의 부피, 그리고, 25와트의 에너지만으로 바둑을 두고, 다양한 지식의 습득 및 창의적 활동을 한다. 앞서 예로 들

은 현대의 인공지능 기술은 폰 노이만(Von Neumann) 아키텍처의 컴퓨터에서 구현되며, 이는 신호 전달 지연, 높은 에너지 소모 등의 문제를 갖고 있다. 이러한 문제점을 극복하기 위해 신경망 회로(neural network)의 논리 구조를 그대로 칩(chip)으로 구현하는 뉴로모픽 아키텍처에 대한 연구가 활발히 이루어지고 있다 [1,2]. 이 칩은 다수의 뉴런 소자와 시냅스 소자로 이루어져 있으며, 뉴런에서 보내는 신호에 따라 시냅스 강도(synaptic weight)가 조절된다. 이를 구현하기 위하여 뉴런 소자 및 시냅스 소자에 대한 재료 및 소자 기술도 활발히 연구되고 있다 [3-6]. 뉴런 소자는 기존 폰 노이만 구조에서 논리 소자에 해당되며, 시냅스 소자는 메모리 소자에 해당된다.

이상적인 시냅스 소자는 비휘발성, 그리고, 연속적인 저항 변화 특성, 즉 아날로그 특성을 가져야 한다. 인간 두뇌의 시냅스 연결 강도는 연속적으로 변한다. 기존 폰 노

[†]본 연구에 동등하게 기여함

- 송윤혁: 학사과정, 임지민: 학사과정, Sagar Khot: 박사과정, 정동명: 박사후 연구원, 권용우: 부교수

*Corresponding Author: Yongwoo Kwon

[Tel: +82-10-4784-6642, E-mail: ykwon722@hongik.ac.kr]

Copyright © The Korean Institute of Metals and Materials

이만 구조에서는 0과 1의 값만을 갖는 DRAM과 플래시메모리 등의 디지털 메모리를 사용한다. 따라서, 시냅스 소자를 구현하기에 기존 메모리 소자보다 중간 상태를 구현하기에 더 용이한 저항 기반의 뉴메모리 기술이 더 적합하다. 특히, 계면 스위칭 멤리스터(interface switching memristor, 이하 ISM)는 저항이 급격히 변하는 필라멘트 스위칭 소자보다 아날로그 특성이 훨씬 좋으며, 산포 또한 훨씬 작기 때문에 시냅스 소자로 매우 적합하다 [7,8]. 현재, ISM 관련 연구는 활성 물질(active material) 및 전극(electrode)의 재료 연구 중심으로 진행되고 있으며, 아직 소자의 구조에 대한 연구는 미비하다 [9-14].

본 연구는 ISM 소자 구조에 따른 시냅스 성능 영향성, 그리고, 최종적으로 해당 소자로 구성된 신경망 회로의 성능을 각각 소자 및 신경망 회로 시뮬레이션을 통하여 평가하였다. 먼저, 유한요소 해석 소프트웨어(COMSOL Multiphysics)에서 물리 현상에 대한 미분방정식을 해석하여 주어진 개별 시냅스 소자 특성을 시뮬레이션하고, 이를 신경망 회로 시뮬레이터인 NeuroSim에 반영하여 MNIST 패턴 인식을 얻었다 [15-17].

ISM에서 소자의 컨덕턴스(Conductance) 또는 저항(Resistance) 변화는 계면 저항의 변화에 기인한다. 일반적으로 산화물과 금속이 접합을 하게 되면 일함수(work function)의 차이에 따라 계면저항이 없는 오믹 접합(Ohmik contact)을 이루거나, 또는 계면저항을 갖게 되는 쇼트키 접합(Schottky contact)을 이루게 된다. 전자가 다수 캐리어(majority)인 경우 금속의 일함수가 커지면 계면에서의 쇼트키 장벽(Schottky barrier)이 높아져서 더 높은 계면 저항을 갖는다. 이 때, 산화물 내부에 산소 공공(oxygen vacancy) V_O 가 존재하고, 이들의 농도가 계면 근처의 공핍층(depletion layer)에서 변화하는 경우를 생각해 보자. 산소 공공은 +2가의 전하를 띠는 공간 전하(space charge) 및 도너(donor)로 작용하여, 산소 공공이 없을 때보다 전자 농도를 높이게 되고, 국소적으로 산화물의 일함수를 더 작게 만든다. 결과적으로 금속과 일함수 차가 더 커지게 되며, 에너지 장벽을 높이게 되고, 소자의 컨덕턴스를 낮추게 된다. 이와 같은 현상은 유한요소 해석 툴에서 Metal-insulator-metal (MIM) 구조 모델을 생성하고, 계면 특성을 정의한 후, 전기적 거동과 산소 공공의 이동(transport)에 대한 미분방정식을 풀어 해석한다. 이를 과도적 해석(transient analysis)으로 구현하여 펄스의 반복 인가에 의한 소자 컨덕턴스의 변화를 시뮬레이션할 수 있다.

NeuroSim은 시냅스 소자 및 뉴런 소자들로 이루어진 신경망 회로 시스템의 성능을 신속하게 평가할 수 있는 시뮬

레이터이다. 유한요소 해석 또는 실험에서의 측정 데이터를 입력(input)으로 사용할 수 있으며, 소자 간의 산포(device-to-device variability), 같은 소자에서도 동작 시마다 달라지는 동작 간의 산포(cycle-to-cycle variability)를 반영할 수 있다. 0부터 9까지의 손 글씨에 대하여 60,000개의 학습용 이미지와 10,000개의 검증용 이미지로 이루어진 MNIST(Modified National Institute of Standards and Technology) 데이터베이스를 사용하여 주어진 특성을 갖는 소자들로 시스템을 구성하는 경우에 대하여 성능을 시뮬레이션 한다 [15].

본 연구에서는 Pt 전극, SrTiO₃ (STO) 활성 물질, Nb-doped SrTiO₃ (Nb-STO) 전극으로 이루어진 소자를 기준으로 수립된 소자 해석 모델을 활용한다 [12,19]. 단순한 MIM 구조로부터 쇼트키 접합 부분의 면적에 따른 차이, 그리고, 3차원 소자 구조 등에 대하여 컨덕턴스 변화 특성을 시뮬레이션 하고, 이를 반영하여 신경망 회로 시스템의 성능을 예측한다.

2. 실험 방법

2.1 소자 시뮬레이션 모델 및 물성 파라미터 설정

시뮬레이션을 위한 소자 구조 모델은 그림 1과 같다. 가장 기본 구조는 그림 1a와 같은 평면형(planar) 구조이다. 실험적으로는 하부 전극 물질인 Nb-STO와 활물질인 STO를 대면적 평면 구조로 증착하고, 수십~수백 마이크로(m) 크기의 Pt 상부 전극들을 만든다 [12]. 실제 소자는 두께는 수 나노미터(nm)에 불과한 반면, 폭은 마이크로이지만, 이것을 그대로 시뮬레이션 구조로 만드는 것은 비효율적이다. 따라서, 우리는 그림 1a와 같이 가로, 세로 25 nm인 정사각형 구조 모델을 만들었고, 전류값 계산에서 실제 전극 면적과의 차이를 고려한 형상 인자를 곱하였다. 이는 뒤의 지배방정식 부분에서 다시 설명할 것이다. 두 번째로 쇼트키 접합 면적에 따른 의존성을 보기 위하여 그림 1b와 같은 구조를 생성하였고, 마지막으로 3차원 집적을 고려하여 그림 1c와 같이 마카로니 구조 소자를 생성하였다. 여기에서 중요한 점은 Pt와 STO 사이에 0.5 nm의 두께를 갖는 계면층(interfacial layer)을 삽입하였다. 이 계면층은 STO 물질로 설정된다. 뒤에서 쇼트키 장벽 높이(Schottky barrier height, 이하 SBH)를 계산할 때, 이 계면층에서의 평균 공공 농도를 활용할 것이다. 계면층을 따로 정의하지 않을 경우 계면 근처에서의 공공 농도를 반영하는 것이 쉽지 않다 [19].

앞서 설명한 바와 같이 N형인 STO와 Pt 사이에 쇼트키 접합이 생성된다. STO 내에는 산소 공공이 존재하며, 소

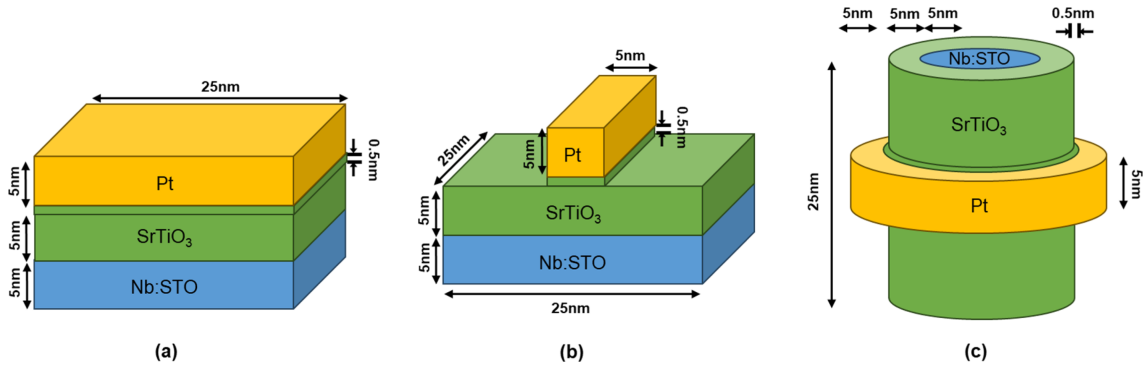


Fig. 1. Structures of device models used in our study: (a) planar STO, (b) planar STO with a narrower Schottky contact, and (c) macaroni STO structures.

트키 접합 인근에서 산소 공공의 농도에 따라 SBH가 변화하게 된다. 근본적으로는 양의 전하를 갖는 산소 공공은 도너 역할을 하며, 산소 공공 농도가 증가하면 페르미 레벨(Fermi level) 높이가 상향하게 되고, 이에 따라 일함수가 작아지게 되어, 금속 전극과의 일함수 차가 커진다. 따라서, SBH가 커져서 계면 저항이 커진다.

이를 시뮬레이션에 반영하기 위하여 우리는 모델과 같이 단순화하였다. 처음에는 STO 내에 산소 공공이 균일하게 분포되어 있다. 스위칭 전압을 가하면 이에 따라 전하를 띤 산소 공공이 이동하게 되어 산소 공공의 농도 분포가 변화하게 된다. 이 때 계면 근처에서의 산소 공공 농도에 따라 SBH가 변화하도록 수식 1을 정의하였다.

$$\Phi_b(\bar{C}) = [(\Phi_{bM} - \Phi_{bm}) \log(\bar{C}/C_m) / \log(C_M/C_m) + \Phi_{bm}] \quad (1)$$

Φ_b 는 SBH (eV), \bar{C} 는 그림 1에 나타난 Pt/STO 계면층에서의 평균 공공 농도 (mol/m³), Φ_{bM} , Φ_{bm} 는 각각 SBH의 최대, 최소값, C_m , C_M 는 공공 농도의 최소, 최대 값이다. 수식 1은 다른 참고 문헌에서 가져온 식이 아니며, 또한 이론적으로 유도된 식도 아니다. 본 저자들이 만들어서 사용한 결과, 본 연구의 선행 논문인 참고문헌 17과 같이 실험과 잘 맞는 결과를 만들 수 있었다 [19]. 다만, 농도에 대한 Log 함수를 사용한 것은 산소 공공을 도너로 보았기 때문이며, 소자 물리학에서 페르미 레벨의 높이가 도핑 농도의 로그와 관련 있다는 점을 참고하였다.

계면스위칭 소자의 동작 원리를 그림 2와 같이 도시하였다. 쇼트키 접합에서 계면 트랩들이 존재하는 경우 계면의 대전(charging) 상태에 따라 금속 일함수의 영향이 조정되게 되고 이를 유효 일함수 $\Phi_{m,eff}$ 라 한다. 즉, SBH는 $\Phi_b = \Phi_{m,eff} - \chi_s/q$ 와 같이 Schottky-Mott 법칙의 원래 형태로 나타낼 수 있다. 계면에 트랩된 전자가 줄어들면 $\Phi_{m,eff}$ 가 줄어들게 되어 SBH가 감소하며, 반대로 계면에

트랩된 전자가 늘어나면 $\Phi_{m,eff}$ 가 증가하여 SBH도 증가한다. 상부전극(TE, top electrode)인 Pt에 (+) 전압 펄스(pulse)를 인가하면, (+) 전하를 갖는 산소 공공이 밀려나서 계면층에서의 공공 농도 \bar{C} 가 낮아지고, 이와 함께 계면(interface states)에 트랩된 전자도 적어지게 되어, $\Phi_{m,eff}$ 가 작아지고, 따라서, SBH가 작아져 컨덕턴스가 증가한다 [13]. 반대로 Pt에 (-) 전압 펄스를 인가하면, SBH가 커지게 되어 컨덕턴스가 감소한다. 참고문헌 17의 Fig. 5에 보인 바와 같이 STO에서의 산소공공 이동도가 매우 작아서 실질적인 농도의 변화는 계면 부분에서만 일어난다. 따라서, 대부분의 STO 영역에서는 일함수 변화가 없고, 오직 계면 영역에서만 모든 변화가 일어나고 있다. (+) 전압 펄스를 반복하여 인가하면, 컨덕턴스가 점점 커지는 potentiation curve를 얻을 수 있다. 반대로 (-) 전압 펄스를 반복하면, 컨덕턴스가 점점 작아지는 depression curve를 얻을 수 있다. 본 연구에서는 고정된 전압의 스위칭 펄스를 일정한 시간 간격으로 인가하였다. 시뮬레이션에 사용된 모든 모델 파라미터는 참고문헌 17과 동일하게 적용하였고, 그 값들을 Table 1에 나열하였다 [19].

2.2 스위칭 및 읽기 동작에 대한 시뮬레이션

시뮬레이션은 스위칭 동작과 읽기 동작의 두 단계로 구성된다. 첫 번째 스위칭 단계에서는 인가된 스위칭 전압 펄스에 대하여 소자 내의 전기 포텐셜 및 전기장의 공간적 분포, 이에 따른 산소 공공의 이동을 계산하여 펄스 끝난 시점의 공공 농도의 공간적 분포를 계산한다. 두 번째 읽기 단계에서는 앞서의 스위칭 펄스가 완료된 시점에서의 계면층 평균 공공 농도 및 SBH를 얻고, 인가된 읽기 전압(read voltage)에 대하여 Thermionic emission의 전압-전류식으로부터 전류값을 구하여, 최종적으로 소자의 컨덕턴스를 계산한다. 상부 전극에 인가되는 펄스는 반드시 전

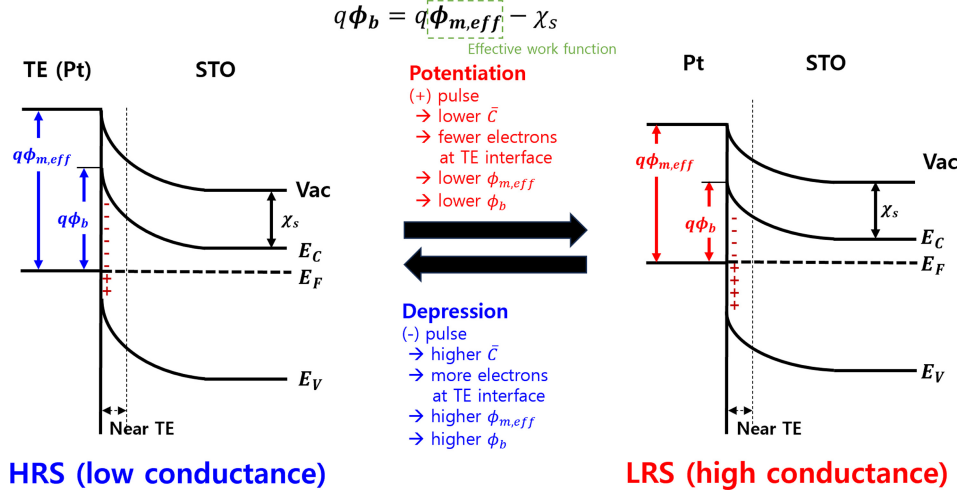


Fig. 2. Switching mechanism by Schottky barrier modulation.

Table 1. Model parameters used in the development of the model [19].

Parameter	Value	Unit	Description
C_i	50	mol/m ³	Initial concentration
C_m	0.001	mol/m ³	Minimum Conc. value for SBH
C_M	60	mol/m ³	Maximum Conc. value for SBH
D	6×10^{-17}	m ² /s	Diffusivity of oxygen vacancy
σ_{STO}	7.8×10^{-4}	S/m	Electrical conductivity of SrTiO ₃
z	+2	dimensionless	Charge number of oxygen vacancy
A^*	1.56×10^6	A/m ² /K ²	Richardson constant
Φ_{bm}	0.6	eV	Minimum SBH
Φ_{bM}	0.7	eV	Maximum SBH

압 상승(rising) 구간과 하강(falling) 구간을 갖는다. 다시 말해서 인가 전압은 시간의 함수 $V_a(t)$ 이다. 시간에 따른 시스템의 모든 변화를 해석하는 것을 과도기적 해석(transient analysis)이라 부르며, 반대로 평형 상태를 찾는 해석을 준정적 해석(quasi-stationary analysis)이라 부른다. 우리가 수행한 스위칭 시뮬레이션은 과도기적 해석이다.

상부 전극 Pt에 인가된 전압 펄스에 따라 먼저 수식 2의 푸와송(Poisson) 방정식을 풀어서 소자 내의 전기 포텐셜 분포를 얻는다. 이는 매 시간스텝(time step)에서 진행된다.

$$\nabla \cdot [\sigma(\vec{r}) \nabla V(\vec{r})] = 0 \quad (2)$$

$\sigma(\vec{r})$ 은 물질의 전기전도도 (S/m), $V(\vec{r})$ 은 전기포텐셜

(V)이다. 하부 전극은 접지(ground) 상태로 설정하였다. 전기전도도는 서로 다른 위치에 존재하는 전극, 활물질에 따라 다르다. STO의 전기전도도는 공공 농도에 따라 달라진다. 하지만, 나중에 보일 해석 결과에서와 같이 실질적으로는 공공의 이동도가 크지 않기 때문에 공공 농도 분포의 변화는 계면 근처에서만 일어난다. 따라서, 우리는 STO 내부의 전기전도도는 일정하다고 가정하였다.

다음 단계로 전기장 $\vec{E}(\vec{r}) = -\nabla V(\vec{r})$ 에 의한 산소 공공의 전기이동(electromigration, 이하 EM)과 농도 구배 ∇C 에 의한 확산을 계산한다. 수식 3에 의하여 산소 공공 이동의 총 플럭스 $J(\vec{r})$ (mol/m²/s)을 계산한다.

$$J(\vec{r}) = -D(\vec{r}) \nabla C(\vec{r}) - z \mu F C(\vec{r}) \nabla V(\vec{r}) \quad (3)$$

$D(\vec{r})$ 는 확산계수 (m²/s), $C(\vec{r})$ 는 산소 공공의 농도 (mol/m³), z 는 산소 공공의 가수(valency)로 +2, μ 는 산소 공공의 이동도, F 는 패러데이(Faraday) 상수이며 값은 96,485.3 C/mol이다. 산소 공공의 이동도는 아인슈타인 관계식 $\mu = D/kT$ 에 의하여 결정되며, 본 시뮬레이션에서 온도는 항상 300 K로 설정되어 있다. 수식 3의 첫번째 항은 확산, 두번째 항은 EM에 의한 산소 공공 이동이다. 우리 시뮬레이션에서는 산소 공공의 추가적인 생성과 소멸은 고려하지 않고 있다. 따라서, 총 산소 공공의 수는 보존되므로 소스(Source) 및 싱크(sink) 항이 없는 연속 방정식을 만족해야한다.

$$\frac{\partial C(\vec{r})}{\partial t} + \nabla \cdot J(\vec{r}) = 0 \quad (4)$$

수식 2-4를 매 시간스텝에서 풀어서 펄스가 인가되는 동

안의 산소 공공 농도 분포의 시간에 따른 변화를 계산하고, 최종적으로 펄스 인가가 끝난 후의 산소 공공 농도 분포를 얻어낸다. Potentiation, Depression 펄스는 각각 +1.62 V, -1.80 V의 전압이 10 μs 동안 인가되며, 그 앞뒤로 상승(rising) 및 하강(falling) 시간은 0.1 μs이다.

읽기 동작은 스위칭 펄스 인가가 완료된 후의 산소 공공의 농도 분포를 반영하여 SBH를 계산하고, 이에 따른 소자의 컨덕턴스를 작은 읽기 전압에 대하여 계산하는 과정이다. SBH는 계면층의 평균 산소 공공 농도 \bar{C} 를 구하여 이를 (1)에 대입하여 계산된다. 수식 5는 주어진 SBH $\Phi_b(\bar{C})$ 에 대하여 인가 전압에 따른 열이온 방출(thermionic emission, 이하 TE)에 의한 전류 밀도 $J_{TE}(V)$ 를 나타낸다. 이는 산소 공공의 흐름이 아니라, 전자의 흐름이다.

$$J_{TE}(V) = A * T^2 \exp\left(-\frac{q\Phi_b(\bar{C})}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] \quad (5)$$

A^* 는 리차드슨(Richardson) 상수 $1.56 \times 10^6 \text{ A/m}^2/\text{K}^2$ 이다. 읽기 전압이 충분히 작은 경우, 수식 6과 같이 특정 접촉 전도도(specific contact conductivity) S_C (S/m^2)는 수식 5의 전류밀도를 전압으로 나눈 값이다.

$$\begin{aligned} S_C &= (\partial J_{TE} / \partial V)_{V=0} \approx (J_{TE} / V)_{small V} \\ &= A * T^2 \exp\left(-\frac{q\Phi_b(\bar{C})}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] \end{aligned} \quad (6)$$

우리는 읽기 전압 0.1 V을 수식 6에 적용하여 S_C 를 계산하였고, 여기에 전극 면적을 곱하여 소자의 컨덕턴스를 계산하였다.

$$G_{sim} = S_C |_{V=0.1V} \cdot A_{electrode} \quad (7)$$

전극 면적 $A_{electrode}$ 는 그림 1과 같이 소자의 형태에 따라 달라진다.

위의 스위칭과 읽기 시뮬레이션이 개별 펄스에 대하여 진행되며, 펄스의 반복 인가에 따른 소자의 컨덕턴스 변화를 추적하여 개별 소자의 Potentiation 및 Depression 곡선을 얻을 수 있다.

2.3 NeuroSim을 활용한 MNIST 패턴 인식을 평가

신경망 회로 성능 평가 시뮬레이터인 NeuroSim은 애리조나 주립대의 Shimeng Yu 그룹에서 개발되어 현재 Github를 통하여 오픈소스(open source)로 공급되고 있다 [15]. 앞서의 시냅스 소자 시뮬레이션으로부터 얻게 되는 소자 특성, 즉, Potentiation, Depression 곡선을 NeuroSim에

적용하면, 이러한 시냅스 소자로 구성된 신경망 회로의 성능을 평가할 수 있다.

우선, NeuroSim에서 제공하는 MATLAB 스크립트를 통해 Potentiation과 Depression 곡선을 각각 수식 8,9에 대하여 커브 피팅(curve fitting)을 진행한다.

$$G_{LTP} = B \left(1 - e^{-\frac{P}{A}} \right) + G_{min} \quad (8)$$

$$G_{LTD} = -B \left(1 - e^{-\frac{P - P_{max}}{A}} \right) + G_{max} \quad (9)$$

$$B = (G_{max} - G_{min}) \left(1 - e^{-\frac{P_{max}}{A}} \right) \quad (10)$$

LTP는 long-term potentiation, LTD는 long-term depression의 약자이다. 여기서 long-term은 장기 기억을 뜻하며, 시냅스 소자의 비휘발성을 의미한다. G_{LTP} 와 G_{LTD} 는 potentiation와 depression 과정에서의 컨덕턴스이고, G_{max} , G_{min} 는 각각 컨덕턴스의 최대값, 최소값을 뜻하며, 이는 소자 시뮬레이션으로부터 구해져 있다. P 와 P_{max} 는 각각 펄스 수, 최대 펄스 수를 뜻한다. 시냅스 동작에서 P_{max} 도 이미 정해져 있는 값이며, 우리는 30으로 설정하였다. 수식 8, 9에서 x-축 변수는 펄스 수 P 이다. 즉, P 에 따른 컨덕턴스 변화를 나타낸다. 수식 10에 의하여 B 값이 정해진다. 마지막으로 결국 피팅 파라미터는 A 이다. 소자 특성 곡선과 최대한 일치하도록 A 를 조절한다 [15]. 우리는 소자를 non-ideal 시냅스 소자 특성을 반영하는 “RealDevice”로 설정하였고, Epoch 값을 125로 고정하였다. 일반적으로 Epoch 값을 높이면 인식률이 더 높게 나온다. 지금까지 설명한 방식으로 그림 1a, 1b, 1c의 소자들에 대하여 각각 소자 특성 곡선을 얻고, MNIST 패턴 인식률을 평가하였다.

3. 결과 및 고찰

3.1 디바이스 모델 별 컨덕턴스 그래프 및 MNIST 인식을

그림 1의 세 가지 소자 구조에 대한 시냅스 특성 곡선을 그림 3에 나타내었다. 소자의 초기 상태에서 Potentiation 펄스 30회 인가한 후, Depression 펄스를 30회 인가하는 동안의 컨덕턴스 변화를 나타낸다. 지금부터는 편의상 그림 1a의 평판(planar) STO 구조를 소자 A, 그림 1b의 좁은 쇼트키 콘택을 갖는 평판(planar) STO 구

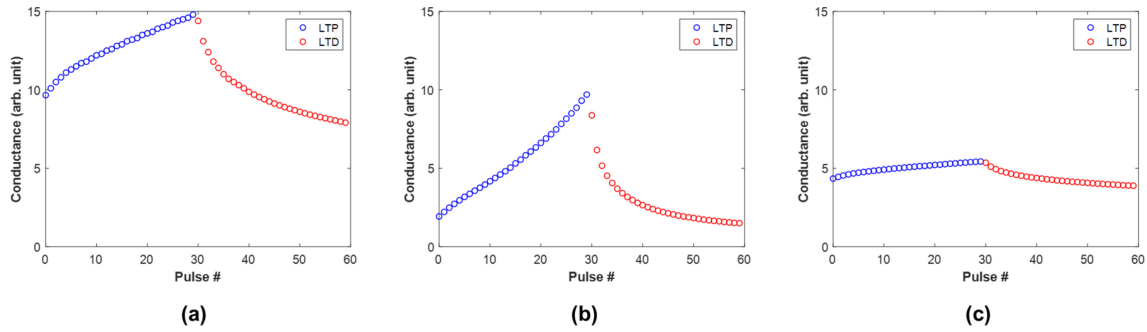


Fig. 3. Synaptic characteristics (conductance change by successive application of switching pulses): (a) device A - planar STO, (b) device B - planar STO with a narrower Schottky contact, and (c) device C - macaroni STO structures.

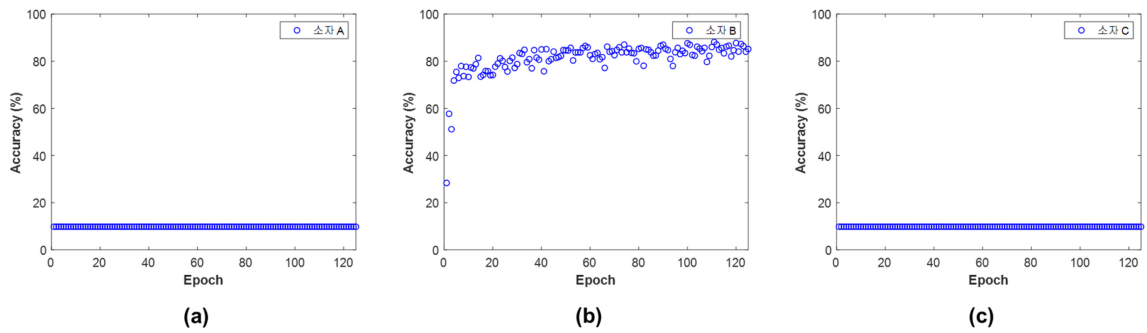


Fig. 4. Simulation results of MNIST pattern recognition for neural networks adopting different synapse devices: (a) device A - planar STO, (b) device B - planar STO with a narrower Schottky contact, and (c) device C - macaroni STO structures.

조를 소자 B, 그림 1c의 마카로니 STO 구조를 소자 C라고 명명한다.

소자 A는 컨덕턴스 최대값과 최소값의 비율, 즉, on/off 비(ratio)가 1.86, 소자 B의 on/off 비는 6.48, 소자 C의 on/off 비는 1.4로 나타난다. 모든 소자는 균일한 산소 공공 농도 분포를 초기 상태로 가지며, Potentiation 완료 후, 계면층 산소 공공 농도는 최소가 되고, Depression 완료 후, 계면층 산소 공공 농도는 최대가 된다. 이 때 최소값은 초기 농도보다 작아지고, 최대값은 초기 농도보다 높아진다. 이러한 이유로 초기 컨덕턴스보다 Depression 완료 후의 최종 컨덕턴스가 더 작게 나온다. 모든 소자에서 Potentiation 곡선의 선형성이 Depression 곡선보다 더 좋다. Potentiation 과정에서 계면층으로부터 산소 공공을 밀어내어 농도 구배가 형성되고, 이로 인하여 Depression 초반부에서는 산소 공공의 EM과 확산이 모두 계면층을 향하기 때문에, 더 급격한 농도 증가 및 컨덕턴스 감소가 나타난다. Depression의 후반부에는 계면층 농도가 평균값보다 높아지게 되어, EM과 확산 방향이 반대가 되어서 변화가 완만해진다.

소자 A와 B를 비교해 보자. 소자 B는 A와 모두 같으

나, 쇼트키 접합 면적이 1/5로 감소되어 있다. 다시 말해서 전류가 흐르는 길목이 1/5로 작아져 있어서 컨덕턴스도 소자 B가 1/5만큼 작다. 하지만, 전압 펄스 인가 시, 같은 전압에 대하여 전기장의 집중이 소자 B의 계면층 근처에서 더 크게 일어나게 되어 컨덕턴스 변화폭이 더 커지게 된다. 따라서, 소자 B의 on/off 비율이 소자 A보다 더 크다. 소자 C의 경우는 모든 전극, 활물질을 그대로 유지한 채로 구조만 바뀌었다. 옴릭 컨택 전극 Nb-STO를 마카로니의 안쪽에 넣었고, 쇼트키 컨택 전극 Pt 층을 마카로니 바깥쪽에 넣었다. 이 경우, 앞서 언급하였듯이 on/off 비가 1.4로 작게 나왔다. 이에 대한 정전기적 해석 및 on/off 비 증가 방안을 섹션 3.3에서 다룰 것이다.

소자 A, B, C의 특성 곡선을 NeuroSim에 반영하여 MNIST 패턴 인식 시뮬레이션을 진행하였고, 그 결과를 그림 4에 나타내었다. 모델 A와 C는 epoch와 상관없이 MNIST 숫자 인식을 9.8%로 동일한 결과를 보였다. 인식을 약 10%의 의미는 0-9의 숫자 중 하나를 무작위로 고른 것과 같다. 따라서, 소자 A와 C는 전혀 숫자 인식을 하지 못하고 있다는 의미이다. 이것은 컨덕턴스 변화의 범위, 즉, on/off 비가 지나치게 작기 때문이다. NeuroSim에

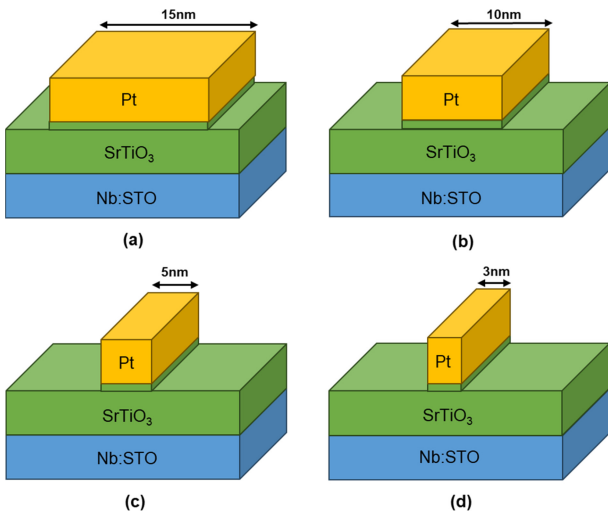


Fig. 5. Structures of devices with different Schottky contact widths: (a) 15 nm, (b) 10 nm, (c) 5nm, and (d) 3 nm.

서는 on/off 비가 3 이하인 경우 패턴 인식을 하지 못하는 결과를 보인다. 반면, 소자 B의 경우는 충분히 큰 on/off 비 6.48을 가져서 인식률 약 80%의 결과를 얻었다. 시냅스 특성 곡선에서 on/off 비, potentiation과 depression 곡선의 대칭성, 컨덕턴스 레벨의 수, 즉, 아날로그 특성, 그리고, 선형성 높을수록 인식률이 높아진다 [20-22]. 인식률을 더 높이기 위해서는 시냅스 특성 곡선을 위의 항목들에 대하여 개선해야 한다.

3.2 쇼트키 접합 면적 감소에 따른 소자 성능 결과

소자 A, B 결과로부터 쇼트키 접합 면적이 작은 경우 전기장 집중 현상에 의하여 컨덕턴스 변화폭이 더 커지는

것을 알 수 있었다. 이를 더 자세히 조사하기 위하여 그림 5와 같이 더 다양한 접합 면적을 갖는 소자에 대하여 그림 6과 같이 시냅스 특성 곡선 및 그로 인한 신경망 회로 성능을 평가하였다. 앞서의 결과와 마찬가지로 쇼트키 접합 면적이 작을수록 계면에서 전기장이 집중되었고 이에 따라 산소 공공의 농도 분포 변화폭이 커진다. 산소 공공 농도 분포 변화폭이 커짐에 따라 potentiation, depression과정에서의 SBH 변화폭도 커져 on/off 비가 커지고, 인식률이 개선되는 것을 볼 수 있다. 쇼트키 접합 폭이 10 nm, 15 nm인 경우는 on/off 비가 3과 비슷하거나, 더 작고, 모두 숫자 인식을 전혀 하지 못하는 것으로 나타났다.

3.3 마카로니 STO 구조의 쇼트키 접합 면적에 따른 소자 성능

마카로니 STO 구조(그림 1c)는 3D 낸드플래시 메모리 (3D NAND flash memory, 이하 3D 낸드)와 유사한 구조이다. 구조적으로 STO는 3D 낸드의 폴리실리콘 채널, Nb-STO는 중간을 채우는 SiO₂, Pt 박막층은 워드라인 (word line)에 해당된다. 이를 상하로 반복하여 붙이면 3차원 적층 구조물이 된다. 이 구조에서도 마찬가지로 쇼트키 접합 면적에 따른 소자 성능 비교를 위해 그림 7과 같이 쇼트키 접합의 폭, 다시 말해 Pt 박막 두께가 5 nm, 3 nm인 소자를 시뮬레이션하였다.

하지만, 본격적으로 두 소자의 성능을 비교하기에 앞서, 이 소자의 근본적인 정전기적인 문제점을 살펴보고자 한다. 그림 8은 전압이 인가되었을 때, 소자 단면에서의 전기 포텐셜의 분포이다. 그림 8a는 비저항이 높은 Nb-STO를 중심부 전극으로 사용했을 때를 보이고 있으며, 그림 8b는

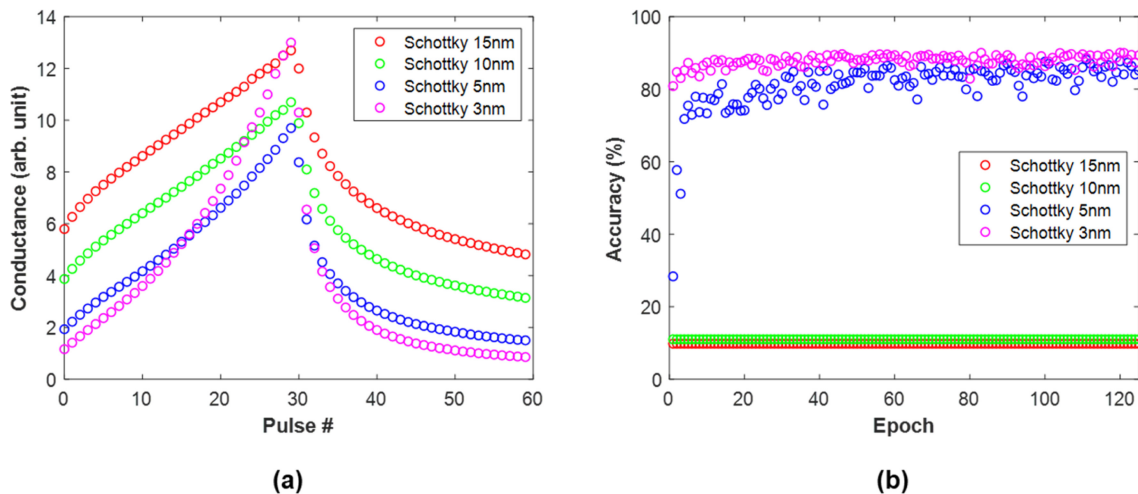


Fig. 6. Simulation results for devices with different Schottky contact widths: (a) Synapse characteristics and (b) MNIST pattern recognition.

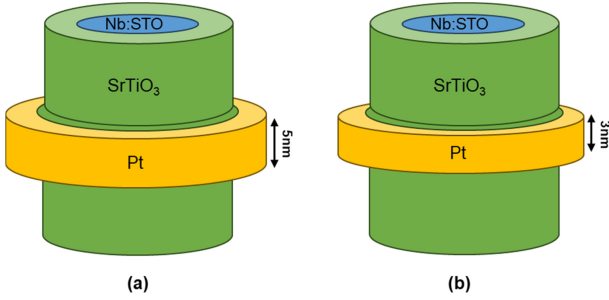


Fig. 7. Structures of macaroni STO devices (device C) with different Schottky contact widths (Pt film thickness): (a) 5 nm and (b) 3 nm.

이를 저항이 낮은 금속 전극으로 대체했을 때의 모습을 보이고 있다. Nb-STO 전극은 비저항이 커서, 전극 내부에서의 전압강하가 높다 보니, STO 내부에서의 전압 강하 및 전기장이 낮아지게 되어 컨덕턴스 변화폭이 작아지게 되어 on/off 비가 작게 된다. 이를 저항이 낮은 금속 전극으로 대체하게 되면 그림 8b와 같이 전기장은 STO 내에만 걸리게 되어 컨덕턴스 변화폭이 충분히 커지게 된다. 중심부 전극으로 비저항이 낮고, 또한 오믹 콘택을 위하여 일함수가 작은 금속을 쓰는 것이 가장 바람직하다.

그림 9는 중심부 전극을 금속 물질로 대체한 후에 Pt 두께 5nm, 3nm에 대하여 시뮬레이션을 진행한 결과이다. 앞서 섹션 3.2의 결과와 마찬가지로 마카로니 STO 소자에서도 쇼트키 접합 면적이 작을수록 컨덕턴스가 대체로 감소하고 on/off ratio는 증가하였다. 이에 따라 NeuroSim 시뮬레이션으로 소자 성능을 파악한 결과, 두 모델 모두 8-90%의 높은 숫자 인식률을 보였으며 마카로니 STO 소자에서도 쇼트키 접합 면적이 더 작은 3nm 모델의 성능이 더욱 우수하다.

일반적으로 신경망회로의 성능에 직결되는 소자 특성은 (1) on/off ratio (또는 dynamic range), potentiation과 depression curve의 (2) 선형성(linearity)과 (3) 대칭성(symmetry), 그리고, (4) 구현 가능한 컨덕턴스 레벨의 수(multi-levels)이다 [5]. (4)의 경우는 실험에서는 어렵지만, 소자 시뮬레이션에서는 얼마든지 조절 가능하므로 논외로 한다. 또한, 실제로는 소자의 변동성(variability)도 매우 중요하다. 우리 시뮬레이션에서는 (1)의 on/off ratio가 가장 큰 영향을 주는 것으로 나타났으며, 이는 Schottky contact, 즉, Pt/STO 인근에서의 전기장 집중도에 직결된다. 앞서 설명한 바와 같이 Pt/STO 계면에 전기장이 집중되면, 같은 전압 펄스에서도 1회당 산소 공공의 이동이 더 크게 되어 더 큰 컨덕턴스 변화를 유발한다는 점이 명확하다. 하지만, 이 쉽게도 선형성과 대칭성 변화는 크게 보이지 않았다. 이에 대해서는 전압 펄스의 크기를 증가시키면서 인가하는 등으로 개선 가능하다 [12,19]. 하지만, 소자 아키텍처 관점에서의 선형성, 대칭성 개선에 대한 연구도 향후 필요하다.

4. 결 론

쇼트키 장벽 높이 변조를 메커니즘으로 하는 계면스위칭 메모리스트 소자에 대하여 시냅스 특성해석 및 이 소자를 적용한 신경망 회로의 MNIST 패턴 인식 성능을 각각 유한 요소 해석과 시스템 레벨 시뮬레이션을 활용하여 진행하였다. 계면스위칭 메모리스트의 재료가 아닌 소자 구조 측면에서의 가장 핵심은 쇼트키 접합의 면적임을 알 수 있었다. 또한, 재료 연구에 사용되는 단순 평판 구조의 소자와 달리 향후 사업성 확보를 위한 3차원 구조에서는 소자의 정전기적 특성도 매우 중요하다. 우리 연구 결과에서 보듯

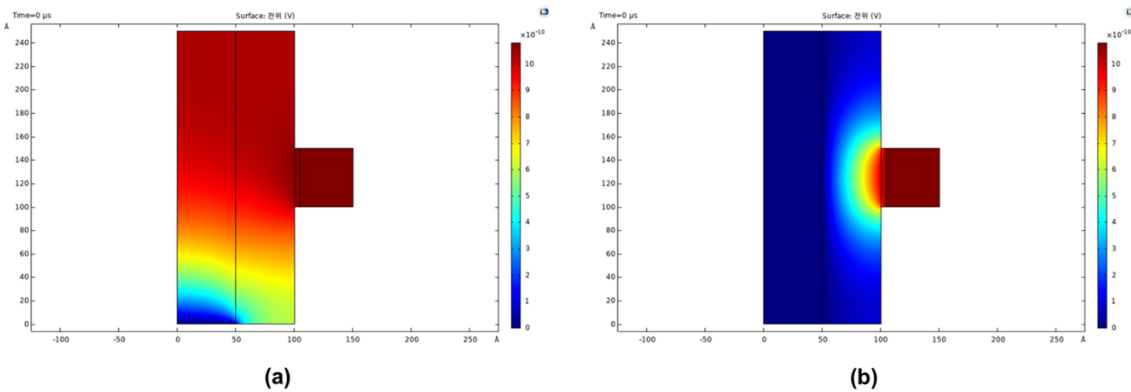


Fig. 8. Electrical potential distribution: (a) Nb-STO electrode and (b) low resistivity metal electrode.

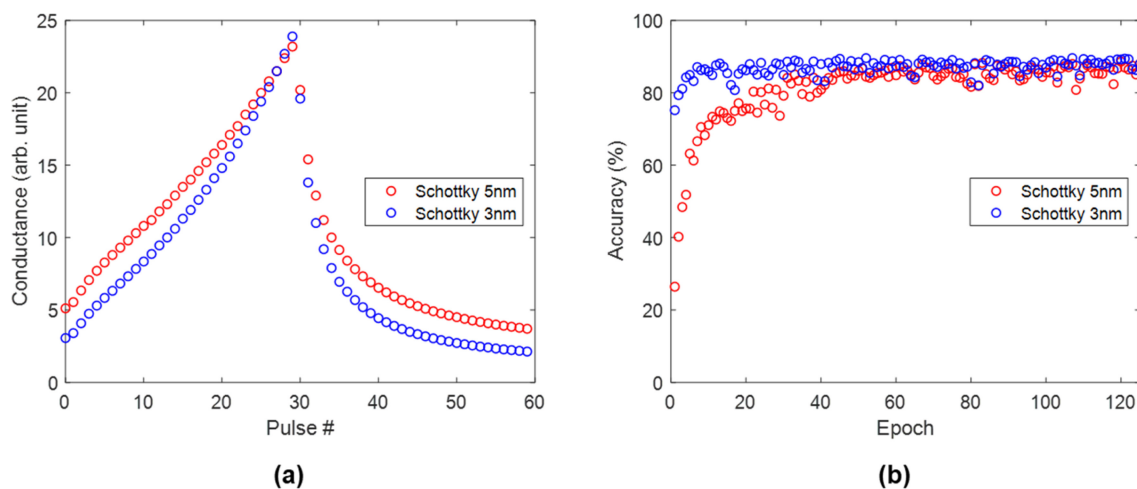


Fig. 9. Simulation results for macaroni STO devices with different Schottky contact widths: (a) Synapse characteristics and (b) MNIST pattern recognition.

이 쇼트키 접합 근처에 전기장을 집중시키는 것이 중요하며 이를 목표로 재료의 조합과 소자 구조를 설계해야 한다.

감사의 글

본 연구는 과학기술정보통신부의 재원으로 한국연구재단의 지원(NRF-2021M3F3A2A01037844, NRF-2021M3H4A6A01048300, RS-2023-00257666)과 교육부 과학기술분야 기초연구지원사업(NRF-2018R1D1A1B05050256), 산업통상자원부의 차세대전력반도체인력양성사업(P0012451), 그리고, 홍익대학교 학술연구진흥비의 지원을 받아 수행되었습니다.

REFERENCES

1. G. Indiveri, F. Corradi and N. Qiao, *2015 IEEE International Electron Devices Meeting (IEDM)*, p.4.2.1-4.2.4, IEEE, Washington, DC, USA (2015).
2. G. W. Burr, R. M. Shelby, A. S. Sebastian, S. Kim, S. Kim, S. Sindel, K. Virwani, M. Ishil, P. Narayanan, A. Fumarola, L. L. Sanches, I. Boybat, M. L. Gallo, K.-M. Moon, J. Woo, H.-H. Hwang and Y. Leblebici, *Adv. Phys. X* **2**, 89 (2017).
3. S. Choi, J. Yang, and G. Wang, *Adv. Mater.* **32**, 2004659 (2020).
4. X. Yang, B. Taylor, A. Wu, Y. Chen, and L. O. Chua, *IEEE Trans. Circuits Syst. I Regul. Pap.* **69**, 1845 (2022).
5. K. Byun, I. Choi, S. Kwon, Y. Ki, D. Kang, T. Cho, S. Yoon, S. Kim, *Adv. Mater. Technol.* **8**, 2200884 (2022).
6. J.-W. Lee, and W. B. Park, *Korean J. Met. Mater.* **59**, 256 (2021).
7. G. Sassine, S. La Barbera, N. Najjari, M. Minvielle, C. Dubourdieu, and F. Alibart, *J. Vac. Sci. Technol. B* **34**, 012202 (2016).
8. S. Park, A. Sheri, J. Kim, J. Noh, J. Jang, M. Jeon, B. Lee, B. R. Lee, B. H. Lee, H. Hwang, *2013 IEEE International Electron Devices Meeting*, p.25.6.1-25.6.4, IEEE, Washington, DC, USA (2013).
9. T. You, N. Du, S. Slesazeck, T. Mikolajick, G. Li, D. Burger, I. Skorupa, H. Stöcker, B. Abendroth, A. Bayer, K. Volz, O. G. Schmidt and H. Schmidt, *ACS Appl. Mater.* **6**, 19758 (2014).
10. Z.-X. Tang, W.-W. Tang, X.-G. Tang, Q.-X. Liu, Y.-P. Jiang, W.-H. Li, Z.-H. Tang, X.-B. Guo, Z.-F. Tang, *Physica E* **120**, 114047 (2020).
11. Z. Alamgir, K. Beckmann, J. Holt, and N. C. Cady, *Appl. Phys. Lett.* **111**, 063111 (2017).
12. R. Yang, H.-M. Huang, Q.-H. Hong, X.-B. Yin, Z.-H. Tan, T. Shi, Y.-X. Zhou, X.-S. Miao, X.-P. Wang, S.-B. Mi, C.-L. Jia and X. Guo, *Adv. Funct. Mater.* **28**, 1704455 (2018).
13. E. M. Bourim, Y. Kim, and D.-W. Kim, *ECS J. Solid State Sci. Technol.* **3**, 95 (2014).
14. H.-S. Kim and S.-J. Kim, *Korean J. Met. Mater* **57**, 84 (2019).
15. P.-Y. Chen, X. Peng and S. Yu, *2017 IEEE International Electron Devices Meeting (IEDM)*, p.6.1.1-6.1.4, IEEE, San Francisco, CA, USA (2017).
16. M. Cho, H.-J. Jeoung, J. Kang, and K. Chang, *Korean J.*

- Met. Mater.* **61**, 625 (2023).
17. M.-S. Kim, J. G. Kim, T. H. Yoo, Y. Y. Jo, S. Lee, H.-Y. Jeong, and S.-H. Choi, *Korean J. Met. Mater.* **59**, 624 (2021).
18. D.-W. Kim, M. Gwon, E. Lee, A. Sohn, and E. M. Bourim, *J. Korean Phys. Soc.* **57**, 1432 (2010).
19. S. Khot, D. Jung, and Y. Kwon, *J. Comput. Electron.* **22**, 1453 (2023).
20. D. P. Sahu, K. Park, P. H. Chung, J. Han, and T.-S. Yoon, *Sci. Rep.* **13**, 1 (2023).
21. Y. J. An, B. Bathula, K. Yoo, H. M. Kwon, S. B. Eadi, and H. D. Lee, *Mater. Lett.* **341**, 134193 (2023).
22. T.S.Yoon, *Electrical & Electronic Materials* **30**, 14 (2017).