[Research Paper] 대한금속 · 재료학회지 (*Korean J. Met. Mater.*), Vol. 61, No. 8 (2023) pp.581-588
DOI: 10.3365/KJMM.2023.61.8.581

딥코팅 방법을 활용한 게이트 산화물 유전체 및 반도체 박막의 제조 및 박막트랜지스터 응용

김용완 · 하영근*

경기대학교 화학과

Utilizing Dip-Coating to Fabricate Gate Dielectric and Semiconductor for Thin-Film Transistors

Yongwan Kim and Young-Geun Ha*

Department of Chemistry, Kyonggi University, Suwon, Gyeonggi-Do 443-760, Republic of Korea.

Abstract: The potential applications of advanced electronic materials in large-area, printable, and flexible electronics have generated significant interest. However, creating high-performance, low-voltage thin-film transistors (TFTs) for these applications remains difficult due to a lack of advanced gate dielectric and semiconductor materials that meet both ease-of-fabrication requirements and high electrical performance. In this study, we present high-performance gate dielectric thin-films, which were fabricated using a facile solution-based technique, and then employed to realize low operating voltage organic and metal oxide semiconductor-based thin-film transistors. The high-*k* oxide gate dielectrics were produced via a simple dip-coating method, resulting in the formation of thin-oxide layers. These novel oxide gate dielectrics demonstrated exceptional dielectric properties, with large capacitances (up to 430 nF/ cm^2), low-level leakage current densities (< 3 × 10^{-8}A/cm^2 at 4 V), featureless morphology (rms roughness < 0.36 nm), and high transparency (> 85%). Consequently, these dip-coated gate dielectrics can be incorporated into thin-film transistors, utilizing pentacene as p-type organic semiconductors. Furthermore, by employing dip-coating, indium oxide and indium-gallium-zinc oxide can be utilized as n-type inorganic semiconductors, allowing for the fabrication of low-voltage operation and high-performance inorganic TFTs. The resulting TFTs functioned at ultralow voltages (< ± 2 V) and achieved high transistor performance (hole mobility: 0.28 $cm^2V^{-1}s^{-1}$, electron mobility: ~2.0 $cm^2V^{-1}s^{-1}$ and on/off current ratio >10^5).

(Received 13 March, 2023; Accepted 2 May, 2023)

Keywords: dip-coating, gate dielectric, semiconductor, solution-process, thin-film transistor, low-voltage operation

1. INTRODUCTION

최근의 인터넷 기반 기술의 발달과 다양한 IT 전자기기들의 보급과 더불어서 기존의 실리콘 반도체 기반의 전형적인 전자기기에서 투명하거나 플렉서블한 비전형적 특성을 갖는 진보된 특성의 전자기기가 소개되면서 이는 RF-ID, 바이오 센서, 웨어러블 전자기기 및 다양한 미래형 저비용 전자기기에 응용이 가능하기에 학계와 산업계의 관심이 높은 관심을 받고 있다[1-2]. 일반적으로 전자기기를 구성하기 위해서는 박막트랜지스터 (Thin-film transistors; TFTs)라고 하는 핵심소자가 반드시 필요하게 되는데, 차세대 비전형적인 특성을 갖는 전자기기의 경우는 기존의 실리콘을 대체 할 수 있는 유기 반도체 또는 무기 산화물 반도체와 같은 차세대 반도체를 적용시켜야 새로운 소자특성을 부여 받을 수 있기에 기존 실리콘 소재의 특성을 뛰어 넘을 수 있는 신소재 개발에 대한 요구가 매우 커지고 있다 [3-4]. TFTs는 대부분의 IT 전자기기내에서 전류를 조절기능 및 증폭하는 핵심적인 소자로 일반적으로 전극 (electrode), 반도체 (semiconductor) 및 게이트 유전체(gate dielectric)의 3가지 핵심 박막 소재로 구성되어 있다. 기본

- 하영근: 교수, 김용완: 석사과정
*Corresponding Author: Young-Geun Ha
[Tel: +82-10-4716-8326, E-mail: ygha@kgu.ac.kr]
Copyright ⓒ The Korean Institute of Metals and Materials

적인 TFTs의 작동 원리는 소스 (source) 및 드레인 (drain) 전극 사이에 흐르는 전류를 수식 (1)에 따라서 인가된 게이트 전압에 의해서 변환이 가능하게 된다. 수식(1)에서 W/L는 소자 채널의 폭/길이, μ는 반도체의 전하이동도, C_i는 유전체의 캐패시턴스 (Capacitance), V_T는 문턱전압을 나타낸다 [5-7].

$$I_{DS} = \frac{W}{2L}\mu C_i(V_G - V_T)^2 \quad (1)$$

최근 많이 연구 중인 유기 반도체 또는 무기 산화물 반도체 박막을 제작하는 방법으로는 진공증착 (vacuum deposition) 방법이 가장 보편적으로 사용되는 박막 제작 방법이라고 할 수 있지만, 최근에는 전구체를 용매와 함께 용해하여 용액화한 후 용액공정 (solution process)을 통해 TFTs 소자용 박막을 제작하는 방법이 제작시간을 단축시키고 공정비용을 낮출 수 있는 큰 장점을 갖고 있기에 큰 관심을 받고 있다 [8-10]. 용액공정의 종류로는 스핀코팅 (spin-coating), 딥코팅 (dip-coating), 프린팅 (printing) 등 다양한 방법들이 존재하는데 각 방법마다의 장점과 단점을 동시에 가지고 있다 [11]. 현재 가장 많이 연구에 활용되는 스핀코팅방법은 일정한 두께를 비교적 고르게 코팅할 수 있고 매끈한 표면을 제작할 수 있다는 장점을 가지고 있지만 박막화를 위해 잉여의 전구체 용액이 많이 소모된다는 단점도 가지고 있다 [12]. 이에 반해, 딥코팅방법은 적절한 용매을 사용하여 최적화할 시에는 비교적 고른 박막을 얻을 수 있고, 박막 증착을 위한 용액을 여러 번 재사용할 수 있으며 큰 면적의 소자를 제작할 수 있다는 큰 장점을 가지고 있다 [13]. 또한 표면에 자기조립결합단분자막 (Self-assembled monolayers; SAMs) 또는 소프트리소그래피 (Soft lithography)등을 적절하게 이용하여 제작한 다면 기판 내 원하는 패턴을 가진 여러 개의 소자를 동시에 제작할 수 있기에 공정을 크게 단축시킬 수 있으므로 본 방법을 적용할 시에는 반도체 산업의 비용 절감에 크게 기여 할 것을 기대할 수 있다 [14-17]. 따라서, 본 연구에서는 무기 산화물 반도체 기반 TFTs 소자 제작에 있어 기존의 스핀코팅 방법을 대체하여 딥코팅이라는 경제적인 박막제조 방법을 제안하고 이를 적용한 TFTs를 제작하여 특성분석을 통해 유전체 또는 반도체 박막의 새로운 증착 방법에 대한 효율성을 입증하고자 한다. 우선 용액공정을 통해 TFTs의 주요한 요소인 유전체 박막을 제작하기 위해 high-*k* 유전체 ZrO_x를 용액공정 스핀코팅 및 딥코팅법을 이용하여 제작한 후 유전체 박막의 표면 및 전기적 특성을 비교분석하여 각 코팅법을 비교한 후, 딥코팅을 이용한 박막 제작 공정을 최적화하였다. 이어서, 최적화된 딥코팅으로 제작된 유전체 박막위에 유기 반도체인 펜타센 (pentacene)을 적용하여 OTFTs를 제작하여 그 트랜지스터 특성을 확인함으로 딥코팅으로 제작된 유전체 박막의 유기 박막트랜지스터 적용 여부를 확인하였다. 마지막으로는 유전체 박막과 함께 무기 산화물 반도체인 indium oxide (In_2O_3)와 IGZO 박막도 각각 딥코팅 방법 이용하여 TFTs를 제작함으로써 트랜지스터의 주요 구성요소인 유전체와 반도체 박막증착에 딥코팅법을 적용하여 트랜지스터를 제작하였고, 결과적으로 딥코팅법으로 제작된 TFTs 소자는 기존의 스핀코팅에 의해 제작된 소자와 비등한 표면 특성 및 유전체, 반도체, 트랜지스터의 전기적 특성을 보여주었다. 따라서, 본연구에서는 졸-겔 용액을 이용한 딥코팅방법의 TFTs 소자 적용이 소재의 비용절감과 제작과정의 간소화, 큰 면적규모 코팅이 가능하게 하는 효율적인 박막 코팅 방법이며 이전 증착방법을 대체하여 TFTs를 제작에 응용이 가능하여 새로운 반도체 공정 기술에 활용될 수 있음을 보여주었다.

2. EXPERIMENTAL

2.1 사용 재료

딥코팅 방법을 이용한 게이트 산화물 유전체 및 반도체 박막을 형성 및 박막트랜지스터 응용에 사용된 각 시약은 추가의 정제없이 사용하였고 특별한 언급이 없는 경우는 시그마 알드리치에서 구매하여 사용하였다.

2.2 스핀코팅 및 딥코팅 방법으로 게이트 유전체 박막 제작

TFTs를 위한 기판 및 게이트 전극으로는 heavily n-doped Si wafer (LG 실트론)을 사용하였고 이 기판은 사용전 EtOH에서 린스후 질소 기체로 건조시키고 O_2 플라즈마 (CUTE, 펨토사이언스)로 유기물을 포함한 오염물질을 제거시켰다. ZrOx 유전체 박막을 제작하기 위한 졸-겔 전구체 용액을 위해서 EtOH (6 mL)을 이용하여 0.1 M zirconium (IV) chloride (99.5 %, Aldrich)를 준비한 후 HNO_3 (13 μL)와 H_2O (54 μL)를 추가로 첨가하였다. 준비된 용액은 졸-겔 반응을 가속시키기 위하여 50 ºC에서 3시간 동안 가열 교반하였다. 딥코팅 방법에 의한 유전체 박막의 전기적 특성 효율성을 비교하기 위하여 첫 번째 스핀코팅으로 제작된 유전체 박막은 Si 기판에 5000 rpm에서 60 초로 스핀코팅 증착방법으로 제작하였고 축합 및 고체화를 위하여 400 ºC에서 60 분 동안 핫플레이트에서

가열되었다. 두 번째 딥코팅으로 제작된 유전체 박막는 Si 기판에 홈메이드로 제작된 딥코터를 이용하여 Down speed 5.0 mm/s, Hold time 10 s, Up speed 1.0 mm/s로 딥코팅 한 후 마찬가지로 축합 및 고체화를 위해 400 ºC에서 60 분 동안 가열 후 동일한 조건으로 2회 추가 반복, 총 3회의 딥코팅을 하여 유전체 박막의 두께를 스핀코팅과 비슷하게 제작하였다. 펜타센 유기반도체를 적용한 유기박막트랜지스터는 성능 향상을 위하여 ZrOx 유전체 박막 위에 자기조립결합단분자막을 위해 n-dodecylphosphonic acid (C12-PA, Alfa Aesar)를 EtOH을 용매로 3 mM 농도의 용액을 만들어서 6 시간 처리 후 EtOH로 린스하고 질소 기체로 건조시켜서 ZrOx 표면위에 SAM을 형성 시켰다. SAM의 형성여부는 접촉각 측정기 (SEO Phoenix-I)를 이용하여 증류수의 접촉각 측정을 통해 확인하였다.

2.3 유전체 및 박막 트랜지스터 제작 및 특성평가

스핀코팅과 딥코팅으로 각각 제작된 게이트 유전체의 유전특성을 분석하기 위하여 금속-절연막-반도체 (metal-insulator-semiconductor) 구조로 shadow mask (200 μm × 200 μm)를 이용하여 알루미늄 (Al) 전극을 고진공(1×10^{-6} Torr) 하에서 진공 증착 (두께: 50 nm, 증착속도: 0.3 nm/s) 하였다. 유기 박막트랜지스터 제작을 위해서 펜타센 (pentacene, p-type 유기 반도체)을 유전체 박막위에 고진공 (1×10^{-6} Torr) 하에서 진공증착 (두께: 50 nm, 증착속도 :0.03 nm/s)한 후, 소스-드레인 전극을 위하여 shadow mask (L = 200 μm, W = 2000 μm)을 이용하여 금 (Au)을 진공증착 (두께: 50 nm, 증착속도: 0.07 nm/s)하여 bottom gate-top contact (BG-TC) 구조의 TFTs를 제작하였다. 무기 산화물 박막 트랜지스터를 만들기 위해 두 종류의 산화물 반도체를 이용하여 박막트렌지스터를 제작하였다. 우선, n-type 산화물 반도체 In_2O_3는 indium(III) nitrate hydrate (99.99 %, Aldrich)를 0.1 M DI water (2 mL), 0.1 M EtOH (2 mL)에 각각 용해시켜 전구체 용액을 제조한 후 상온에서 3 시간 동안 교반하였고 딥코팅으로 제작된 유전체 박막 위에 딥코팅(Down speed 5.0 mm/s, Hold time 10 s, Up speed 0.5 mm/s) 조건으로 코팅하고 250 ºC에서 1 시간 동안 가열하여 산화물 박막을 만들었다. 다른 n-type 산화물 반도체 인듐-갈륨-아연-산화물 박막 (Indium-gallium-zinc-oxide; IGZO) 를 제조하기 위해 전구체 용액은 2-methoxyethanol를 용매로 zinc acetate (99.999 %, Aldrich), gallium(III) nitrate hydrate (99.9 %, Aldrich), induum(III) nitrate hydrate 를 Zn : Ga : In = 27 : 10 : 63 혼합비로 0.3 M 농도로 준비한 후 0.3 M IGZO 용액은 딥코팅으로 제작된 유전체 박막 위에 딥코팅(Down speed 5.0 mm/s, Hold time 10 s, Up speed 0.5 mm/s) 조건으로 코팅하고 400 ºC에서 2 시간 동안 가열하여 산화물 박막을 만들었다. 산화물 반도체의 딥코팅 증착이후에 BG-TC 구조의 무기 산화물 TFTs 제작을 위해 소스-드레인 전극으로 알루미늄을 shadow mask를 사용하여 고진공 하에서 진공 증착하였다. 게이트 유전체 박막의 표면은 atomic force microscope (AFM, PSIA XE-150)과 scanning electronic microscope (SEM, Hitachi S-4800)을 이용하여 박막의 핀홀과 표면 거칠기를 분석되었고, 유기기판에 증착된 박막에 ultraviolet-visible (UV-Vis) spectrophotometer (Cary 500)를 활용하여 박막의 투과도를 측정하였다. 유전체의 누설전류특성 및 TFT 특성은 프로브 스테이션 (MSTECH Co.)에 자체제작된 Labview 프로그램으로 연결된 HP4145B 계측기를 통해 분석하였다. 캐패시턴스는 HP 4192A 계측기를 이용하여 프로브 스테이션에 연결된 Labview 프로그램으로 특성을 분석하였다.

3. RESULTS AND DISCUSSION

3.1 딥코팅 방법을 이용하여 제작한 high-*k* 게이트 유전체의 박막의 특성연구

본 연구에서는 딥코팅방법에 의한 박막 형성의 최적화를 위하여 우선 대표적인 high-*k* 유전체인 ZrO_x의 박막을 제작하여 딥코팅으로 산화물 박막형성의 가능성을 제시하였고 더불어 무기 산화물 반도체에도 용액공정 딥코팅 방법을 적용하여 유전체 및 반도체를 모두 딥코팅방법으로 TFTs를 제작 및 특성분석을 통해 딥코팅 공정을 통한 간소화 및 대량생산방법에 의한 TFTs 제작에 대한 가능성을 살펴보았다. 우선, 본 연구에서 제안되는 딥코팅방법에 의한 박막형성 기술에 대한 효용성을 테스트하기 위하여 기존의 스핀코팅 방법에 의해 제작된 ZrO_x 유전체 박막과 딥코팅 방법에 의해 제작된 ZrO_x 유전체 박막과 절연 및 유전특성등의 전기적 특성을 비교 분석하고 전자현미경을 이용하여 유전체 박막의 표면특성을 분석하였다. 그리고, 딥코팅 방법을 통해 최적화되어 ZrO_x 유전체의 TFTs 적용 가능성을 확인하기 위하여 대표적인 유기 반도체인 펜타센을 이용하여 OTFTs를 제작하여 특성을 평가하였고, 최종적으로 무기 산화물 반도체인 In_2O_3와 IGZO를 역시 딥코팅 방법을 이용하여 TFTs를 제작함으로써 유전체 및 반도체 박막의 증착을 모두 딥코팅으로 구현하여 트랜지스터를 제작 및 특성 평가하였다. 그림1A는 본 연구에서 적용하

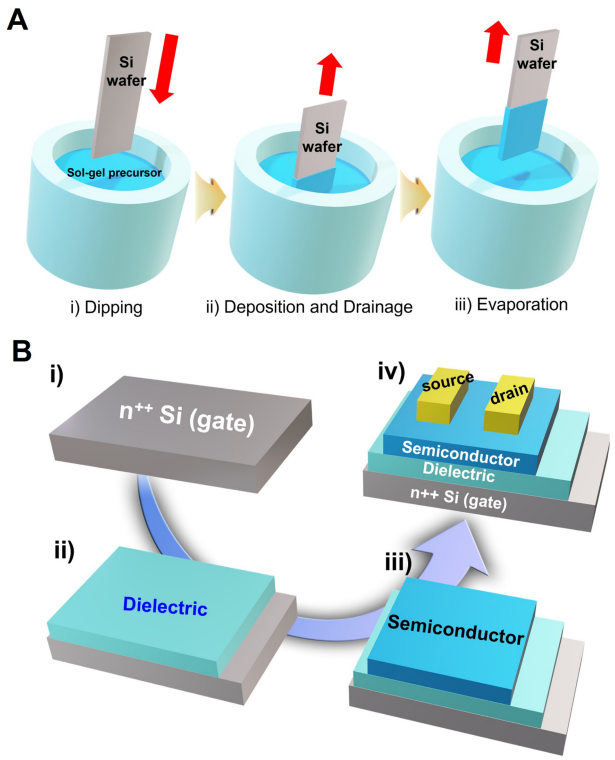

Fig. 1. (A) Fabrication procedure for metal oxide thin-film using simple dip-coating process, (B) Schematic illustration of the fabrication process of bottom-gate/top-contact (BG/TC) this-film transistors

고 있는 딥코팅 방법을 통한 박막의 증착과정에 대한 모식도이다. 딥코팅 방법의 증착을 위해 먼저 졸-겔 전구체 용액을 준비하고 홈메이드 방식으로 제작된 딥코팅 증착기를 이용하여 일정한 속도로 기판을 내려서 졸-겔 전구체 용액에 담근후, 잠시 기판의 움직임을 멈추고, 다시 기판을 일정한 속도로 올려주게 되면 중력에 의해 표면에 일정한 농도의 전구체가 쌓이게 되며 시간이 흐르면 용매가 증발되어 일정한 두께를 갖는 박막이 형성된다. 딥코팅 이후에는 산화물의 축합에 의한 고체화를 위해 각 유전체 또는 산화물 반도체에 최적화된 온도로 가열하여 최종적인 산화물 박막을 형성하게 된다. 그림 1B는 본연구의 유전체 및 반도체 박막 제작과 소스-드레인 전극 증착을 통해 최종적으로 TFTs를 제작을 과정을 설명하는 순서도이다. 딥코팅된 산화물 유전체의 특성을 평가하기 위한 유기반도체 트랜지스터 제작을 위해서는 딥코팅된 산화물 유전체에 펜타센을 진공 증착하여 제작하였고, 산화물 반도체의 경우는 유전체와 마찬가지로 딥코팅을 이용하여 박막을 증착하여 주요 공정을 딥코팅을 통해 무기물 TFTs를 제작하였다. 용액공정으로 딥코팅하여 제작된 ZrO_x 유전체 박막의 표면은 AFM과 SEM을 통해 표면 분석하였다. AFM과 SEM 표면분석을 토대로 Si기판위에 빈 공간 없이 코팅되었고 다른 홀 구멍이 없음을 확인하였다 (그림 2). AFM을 통해서 측정된 거칠기(rms = 0.36 nm) 정도는 스핀코팅으로 제작된 박막은 표면 거칠기 정도가 rms= 0.21 nm정도이고 비교해보면 스핀코팅에 비해 딥코팅으로 제작한 박막이 조금 더 거친 표면을 갖고 있지만 두 방법 모두 매우 매끈한 표면 거칠기를 가짐을 알 수 있다. 또한, 두 방법에 의해 코팅된 유전체 박막은 하이드록실기가 표면에 풍부하게 있기에 높은 표면에너지를 가지고 있어서 친수성 특성을 가지며 접촉각은 ~40 °정도를 보인다. 펜타센을 이용한 OTFTs의 제작 시에는 유전체의 높은 표면에너지가 소자 성능을 저하시키기에 성능 향상을 위해 유전체 박막에 긴 알킬사슬을 갖는 단분자막 (C12-PA)로 자기조립결합을 통한 표면처리를 하여 표면에너지를 낮추었다. 딥코팅으로 증착된 유전체 박막의 투과도 측정을 위해 유기기판위에 증착후 UV-Visible spectrophotometer를 통해 가시광선 영역 (400~800 nm)에서 85% 이상의 높은 투과도를 갖는 것을 확인할 수 있었다.

스핀코팅과 딥코팅으로 제작된 유전체 박막의 전기적 특성을 평가하기 위해 금속-절연막-반도체 구조 (MIS 구조)의 캐패시터를 제작하고 누설전류와 캐패시턴스를 각각 측정하였다. 그림 3은 ZrO_x 박막을 스핀코팅 및 딥코팅 한 유전체의 MIS 구조에 대한 모식도와 누설전류밀도 대 전

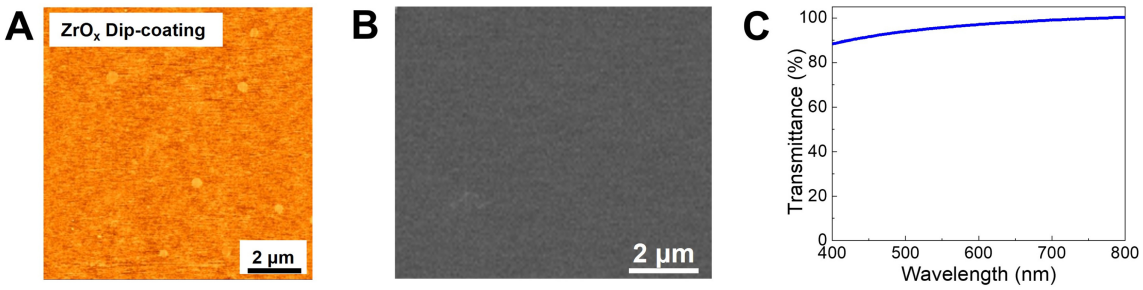

Fig. 2 (A) AFM images and (B) SEM images of films of the dip-coated zirconium oxide dielectric film on Si substrates, with a maximum rms roughness of 0.36 nm. (C) Optical transmittance spectrum of the zirconium oxide film, dip-coated on glass substrates.

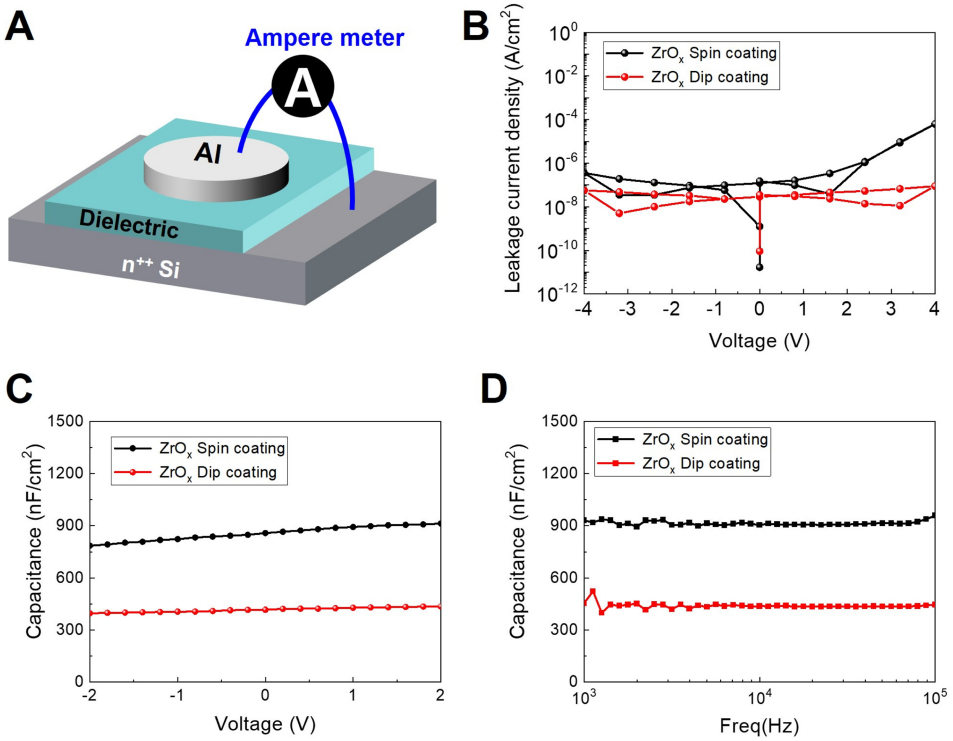

Fig. 3. Film characteristics and dielectric properties of the ZrOx dielectric processed by spin-coating (black) and dip-coating (red): (A) schematic view of MIS capacitor for measuring dielectric strength; (B) leakage current densities as a function of voltage (*J-V*); (C) capacitance-voltage (*C-V*) characteristics; (D) capacitance-frequency (*C-f*) characteristics.

Table 1 Electrical and surface properties of spin-coated and dip-coated ZrOx

Dielectrics	J (A ·cm^{-2}) at 4 V	C_i (nF·cm^{-2})	WCA (°)	Roughness (rms)
Spin-coated ZrOx	5.7×10^{-7}	950	40	0.21
Dip-coated ZrOx	8.4×10^{-8}	430	40	0.36

압(*J-V*), 캐패시턴스 대 전압 (*C-V*), 그리고 캐패시턴스 대 주파수 (*C-f*)에 대한 그래프이다. 누설전류 데이터를 살펴보면 스핀코팅 및 딥코팅으로 제작된 각각의 유전체 박막이 높은 절연 특성이 보임을 알 수 있으며 각 방법의 누설전류의 차이는 실제로 스핀코팅에 비해 딥코팅으로 제작된 유전체 박막의 경우가 더 두꺼운 박막 두께를 갖기에 상대적으로 더 낮은 누설전류특성을 갖게 되었다. 각각 ZrO_x 스핀코팅 및 딥코팅 유전체의 캐패시턴스 측정값은 10^4 kH와 2 V에서 ZrO_x 스핀코팅 박막 950 nF/cm^2, ZrO_x 딥코팅 박막 430 nF/cm^{2}으로 모두 높은 캐패시턴스를 보인다. 딥코팅에서 캐패시턴스가 낮아지는 것으로 역시 유전체의 두께가 딥코팅에 경우 스핀코팅보다 조금 두껍다는 것을 알 수 있다. 이 유전체들은 TFTs의 구동에 있어 충분한 누설전류밀도와 캐패시턴스의 특성은 가지고 있음을 알 수 있다. 스핀코팅 및 딥코팅 유전체 박막에 전기적 특성 및 표면특성에 대한 데이터는 표 1에 요약되었다.

3.2 딥코팅 방법을 이용한 제작한 유전체를 이용한 유기 반도체, 무기 반도체 기반 박막 트랜지스터

딥코팅으로 제작된 ZrO_x 유전체 박막의 우수한 표면 및 전기적 특성을 확인하였고 박막 트랜지스터 구동에 있어 충분한 유전특성을 가지고 있기에 펜타센을 이용한 OTFTs을 제작하였고 더 나아가 무기 반도체인 In_2O_3와 IGZO을 딥코팅 방법으로 증착하여 TFTs를 제작하여 게이트 유전체 성능을 확인하였다. 그림4는 ZrO_x 딥코팅 유전체 기반 펜타센 OTFTs의 소자 구조와 output와 transfer 그래프를 보여준다. ZrO_x 딥코팅 유전체 박막은 펜타센 유기 반도체가 친수성 ZrO_x에서는 결정립이 작고, 결정성 또한 낮아서 전기적인 특성이 저하되는 것이 알려져 있기에 [18-19] 유전체 표면에 소수성을 부여하기 위하여 인산계 긴 알킨사슬 단분자막(C12-PA)을 SAM으로 추가 처리하여 TFTs의 성능평가 및 비교를 하였다. ZrO_x 딥코팅 유전체 기반 펜타센 TFTs는 전하이동도 ~0.03 cm^{2}V^{-1}s^{-1}(max), 낮은 문

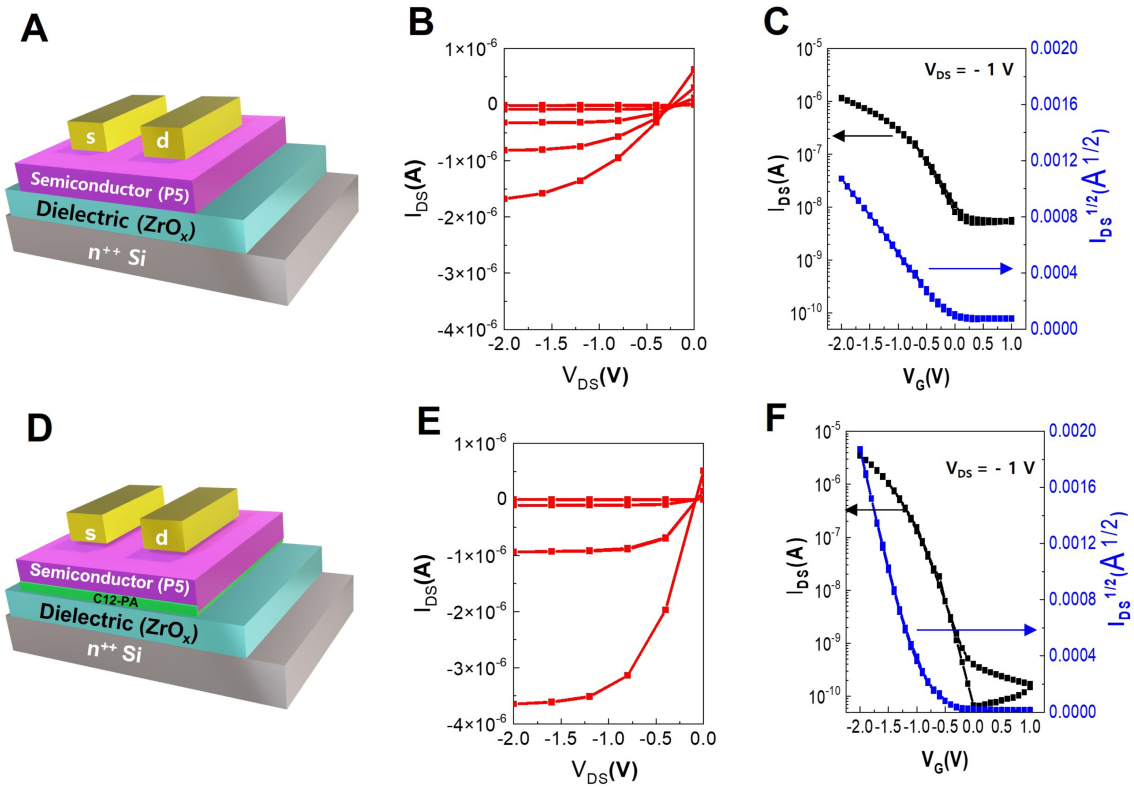

Fig. 4. (A) Schematic view of pentacene-based TFTs device geometry using the ZrOx gate dielectric. (B) output plots and (C) transfer plots for pentacene OTFTs based-on ZrOx gate dielectric. (D) Schematic view of pentacene-based TFTs using with the hybrid dielectric (zirconium oxide and n-dodecylphosphonic acid). Device characteristics of pentacene TFTs with hybrid dielectrics. (E) output and (F) transfer plots of pentacene TFTs with ZrOx + C12-PA dielectrics.

턱 전압(0.2 V), 10^3의 on/off 비를 가지는 반면에 C12-PA이 ZrO_x 박막위에 처리된 펜타센 TFTs는 전하이동도 ~0.28 $cm^2V^{-1}s^{-1}$(max), 낮은 문턱 전압(0 V), 10^4의 on/off 비를 가지는 뛰어난 성능을 보였다. 이는 C12-PA 표면 처리에 의해 표면 에너지가 처리 전보다 낮아지고 이로 인해 펜타센의 결정립 크기가 증가하고 더 낮은 결정립 경계 밀도를 가지게 되며 결정성도 좋아지기에 반도체 전하이동도가 크게 증가하며 따라서 TFT 소자의 성능을 크게 향상시켰다.

딥코팅 방법으로 제작된 ZrO_x 유전체를 OTFTs에 적용하여 성능을 확인한 후 딥코팅으로 전자소자용 박막을 만드는 것에 대한 범용성을 갖는 것을 확인하기 위하여 졸-겔 용액공정이 가능한 반도체 박막인 In_2O_3와 indium-gallium-zinc-oxide (IGZO)를 역시 각각 용액공정을 통한 딥코팅 방법으로 적용하여 무기 산화물 반도체 기반 TFTs를 제작 및 특성 평가를 하였다. 그림5A~C는 ZrO_x 유전체 딥코팅 후 In_2O_3 역시 딥코팅 방법으로 증착하여 In_2O_3 산화물 반도체 기반 TFTs를 제작하였고, 그 소자의 output와 transfer 그래프를 보여준다. In_2O_3 TFTs의 전하이동도 ~2.8 $cm^2V^{-1}s^{-1}$(max), 낮은 문턱 전압 (0.4 V), 10^6의 on/off 비를 가지는 뛰어난 성능을 보였다. 기존의 앞선 연구에서는 In_2O_3 산화물 반도체를 제작할 시에는 주로 용매로 DI로 사용하여 뛰어난 성능을 보였지만 본연구에서는 In_2O_3를 딥코팅 하였을 때에는 DI를 용매로 사용할때보다는 EtOH를 사용하는 경우에 훨씬 우수한 전기 소자로써의 성능을 보였다. DI (boiling point, 100 °C)로 딥코팅 시 용매의 휘발성이 좋지 않아 유전체가 일정하게 증착되지 않았지만 DI에 비해 낮은 끓는점을 갖고 있는 EtOH (boiling point, 78 °C)를 용매로 사용할때는 용액 표면에서 기판이 꺼내지기 시작해 용매가 날아가 일정한 유전체 박막을 형성하였다. 그래서, 훨씬 안정적이고 우수한 전기적 특성을 보여주었다. 딥코팅으로 제작한 산화물 유전체 및 반도체의 범용성으로 활용하기 적합한지를 추가적으로 확인하기 위하여 무기 산화물 반도체로써 뛰어난 특성을 가지고 있는 Indium, Gallium, Zinc 세 물질의 전구체를 일정비율로 혼합하여 전구체 용액을 제조하여 IGZO 기반

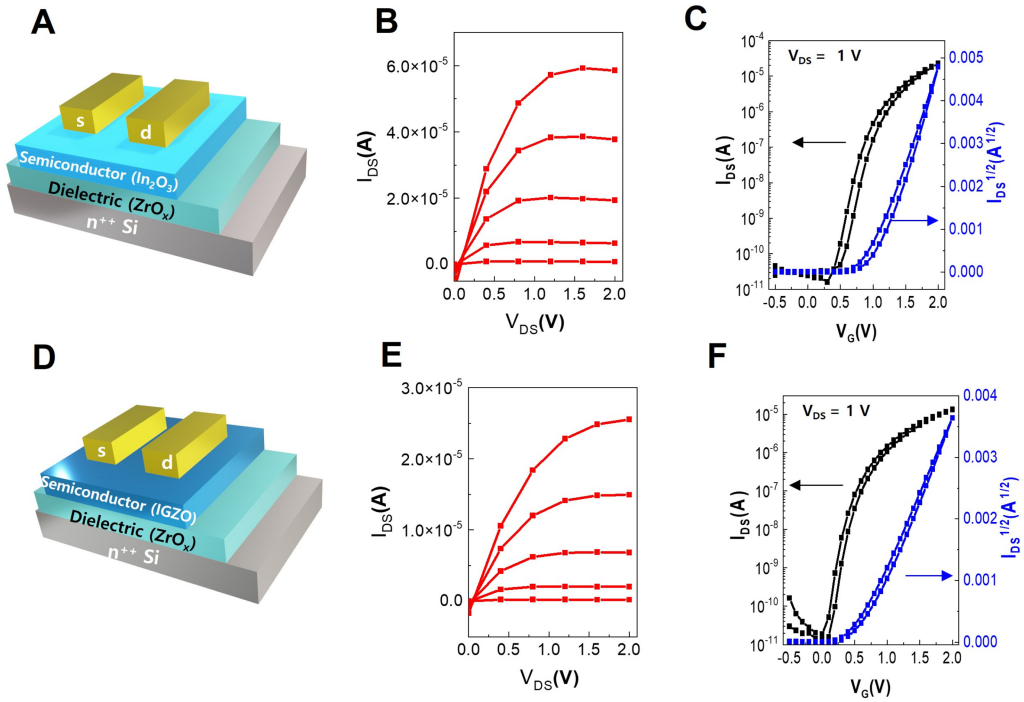

Fig. 5. (A) Schematic view of In_2O_3-based TFTs device geometry (B) output plots and (C) transfer plots for In_2O_3 TFTs based on the dip-coated zirconium gate dielectric. (D) Schematic view of indium-zinc-tin oxide (IGZO) TFTs device geometry. (E) output plots and (F) transfer plots for IGZO TFTs based on the dip-coated zirconium gate dielectric.

Table 2 Current On/Off ratio ($I_{on/off}$), carrier mobility (μ, $cm^2V^{-1}s^{-1}$) and threshold voltage (V_{TH}) Data for TFT devices. * VD (vacuum deposition) and DC (dip coating)

Semiconductors	Dielectrics	$I_{on/off}$	mobility ($cm^2V^{-1}s^{-1}$)	V_{TH}
Pentacene (VD)	ZrOx	10^2	0.03	0.8
Pentacene (VD)	ZrOx +ODPA	10^4	0.28	0.1
In_2O_3 (DC)	ZrOx	10^6	2.8	0.4
IGZO (DC)	ZrOx	10^5	2.0	0.9

TFTs를 제작하였다. 이 전구체는 용매 2-methoxyethanol에서 세 물질들이 가장 안정적으로 혼합된 상태이다. 그림 5D~F는 딥코팅으로 제작된 ZrO_x 유전체에 딥코팅을 통해 IGZO 박막을 증착한 후 제작된 TFTs의 구조 및 output와 transfer 그래프를 보여준다. ZrO_x 및 IGZO 박막을 팁코팅으로 제작된 TFT의 성능은 전하이동도 ~2.0 $cm^2V^{-1}s^{-1}$(max), 낮은 문턱 전압(0.9 V), 10^5의 on/off 비를 갖는 뛰어난 TFT 성능을 보였다. Table 2은 딥코팅 방법으로 증착된 유전체(ZrO_x) 및 반도체(In_2O_3와 IGZO) 박막을 기반으로 제작한 TFTs 성능 파라미터를 요약하였다.

5. CONCLUSIONS

요약하면, 본 연구에서는 금속 산화물에 기반한 유전체와 반도체 제작과정의 간소화와 대량생산, 비용절감을 위해 용액공정 기반의 딥코팅 방법을 개발하여 저전압 구동이 가능한 고성능 박막 트랜지스터를 개발 및 분석 연구하였다. 딥코팅으로 제작된 high-*k* 인 ZrO_x 유전체는 스핀코팅으로 제작된 유전체 박막과 마찬가지로 매우 매끈하며 핀홀이 없고, 투명한 박막을 형성하였고 전기적 특성 평가를 통해 우수한 절연, 유전 특성을 갖는 게이트 유전체 성능을 보였다. 또한, 다양한 유기 (p-type 펜타센) 및 무기 반도체 (n-type In_2O_3 와 IGZO)를 통해 딥코팅 방법으로 제작한 유전체는 스핀코팅 방법 이상으로 고성능 저전압 구동 트랜지스터로써의 뛰어난 특성을 가지는 것을 확인하였다. 무기 반도체인 In_2O_3 와 IGZO의 경우는 유전체와 같은 딥코팅 용액공정으로 트랜지스터 제작과정에서 고성능 저전압 구동이 가능한 트랜지스터의 제작 방법을 증명하였다. 이는 용액의 낭비를 줄여 공정비용을 낮추고 큰 면적을 대량생산할 수 있음으로 차세대 전자소자에 적용한다면 다양한 분야에서 활용될 수 있음을 기대하게 된다.

ACKNOWLEDGEMENT

본 연구는 2020학년도 경기대학교 학술연구비(일반연구과제) 지원에 의하여 수행되었음

REFERENCES

1. H. Sirringhaus, *Adv. Mater.* **26**, 1319 (2014).
2. H. Klauk, *Chem. Soc. Rev.* **39**, 2643 (2010).
3. Y. Zang, F. Zhang, D. Huang, X. Gao, C. Di, and D. Zhu, *Nat. Commun.* **6**, 6269 (2015).
4. X. Yu, T. J. Marks, and A. Facchetti, *Nat. Mater.* **15**, 383 (2016).
5. A. Miyamoto, S. Lee, N. F. Cooray, S. Lee, M. Mori, N. Matsuhisa, H. Jin, L. Yoda, T. Yokota, A. Itoh, M. Sekino, H. Kawasaki, T. Ebihara, M. Amagai, and T. Someya, *Nat. Nanotechnol.* **12**, 907 (2017).
6. Y. Song and Y. G. Ha, *Bull. Korean Chem. Soc.* **42**, 983 (2021).
7. B. Yu and Y. G. Ha, *Bull. Korean Chem. Soc.* **42**, 1351 (2021).
8. H. R. Byun, E. A. You, and Y. G. Ha, *ACS Appl. Mater. Interfaces* **9**, 7347 (2017).
9. H. Ma, O. Acton, D. O. Hutchins, N. Cernetic, and A. K.-Y. Jen, *Phys. Chem. Chem. Phys.* **14**, 14110 (2012).
10. M. J. Kim, K. Pak, W. S. Hwang, S. G. Im, and B. J. Cho, *ACS Appl. Mater. Interfaces* **10**, 37326 (2018).
11. S. Park, T. Kim, S. Yoon, C. W. Koh, H. Y. Woo, H. J. Son, *Adv. Mater.* 3**2**, 2002217 (2020).
12. J. B. Brzoska, N. Shahidzadeh, and F. Rondelez, *Nature* **360**, 719 (1992).
13. C.J. Brinker, G.C. Frye, A.J. Hurd, C.S. Ashley, *Thin Solid Films* **201**, 97 (1991).
14. I. N. Hulea, S. Fratini, H. Xie, C. L. Mulder, N. N. Iossad, G. Rastelli, S. Ciuchi, and A. F. Morpurgo, *Nat. Mater.* **5**, 982 (2006).
15. H. Klauk, U. Zschieschang, J. Pflaum, and M. Halik, *Nature* **445**, 745 (2007).
16. G. Bang and D. Choi, *Korean J. Met. Mater.* **59**, 155 (2021).
17. J. Y. Kim, G. Choe, T. K. An, and Y. J. Jeong, *Korean J. Met. Mater.* **59**, 162 (2021).
18. H.-W. Zan and C.-W. Chou, *Jpn. J. Appl. Phys.* **48**, 031501 (2009).
19. G. Horowitz and M. E. Hajlaoui, *Adv. Mater.* **12**, 1046 (2000).