

초음파 전열처리를 이용한 a-IGZO 트랜지스터의 향상된 전기적 성능과 바이어스 안정성

이재윤^{1,†} · 유수창^{1,†} · 조한림^{1,†} · 최성곤^{1,*} · 유흥균¹ · 정용진² · 김성진^{1,**}

¹충북대학교 전자정보대학
²한국교통대학교 신소재공학과

Enhanced Electrical Performance and Bias Stability of a-IGZO Thin-Film Transistor by Ultrasonicated Pre-annealing

Jae-Yun Lee^{1,†}, Suchang Yoo^{1,†}, Han-Lin Zhao^{1,†}, Seong-Gon Choi^{1,*}, Heung Gyoon Ryu¹,
Yong Jin Jeong², and Sung-Jin Kim^{1,**}

¹College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Republic of Korea
²Department of Materials Science and Engineering, Korea National University of Transportation,
Chungju, 27469, Republic of Korea

Abstract: Vacuum-processed oxide semiconductors have enabled incredible recent advances in the scientific research of metal oxide thin-film transistors (TFTs) and their introduction in commercial displays. Developing metal oxide transistors with low processing temperatures, on the other hand, remains a challenge. Metal oxide transistors are commonly produced at high processing temperatures (over 500°C) and have a high working voltage (30~50 V). Here, we introduce amorphous indium-gallium-zinc-oxide (a-IGZO) TFTs that show enhanced electrical characteristics, environmental stability, and switching behavior, prepared using ultrasonicated pre-annealing. Before post-annealing, the ultrasonication treatment was given at 40 kHz for 20 minutes. The improved electrical characteristics of this ultrasonicated a-IGZO TFTs were: 10.78 cm²/Vs; 1.2×10⁷on/off current ratio. The a-IGZO TFTs with ultrasonicated pre-annealing were also extremely stable under a variety of stresses. For an ultrasonicated a-IGZO TFT, the threshold voltage (V_{th}) shifted by +0.82 V in a positive bias stress test and -0.30 V in a negative bias stress test. This means that the sonication treatment improves both electrical and surface morphological qualities, while also lowering faults by eliminating contaminants from the a-IGZO channel layer's surface and preventing atomic rearrangement. Furthermore, the dynamic response characteristics were measured according to frequency. A dynamic inverter test was carried out at 1 kHz frequency, with the load resistance of the circuit set to 10 MW and the drain supply voltage set to 5 V (V_{DD}).

(Received 12 November, 2021; Accepted 31 December, 2021)

Keywords: oxide transistor, amorphous IGZO, ultrasonication treatment, pre-annealing, thin films transistor

1. 서 론

최근 디스플레이 분야는 점차 평면 및 플렉시블 디스플

레이로 발전하고 있다. 그에 따라 고성능, 저전력, 대면적화가 가능한 디스플레이용 반도체가 차세대 반도체 시장에서의 필수 요건이 되었다. 현재 대부분의 디스플레이에는 신호를 스위칭하는 소자로 amorphous Si (a-Si)가 사용되고 있지만, 고성능 및 대면적화가 되고 있는 디스플레이 시장에 필수 요건을 맞추기 위해서 a-Si는 전하 이동도가 낮은 한계가 있다. 이러한 a-Si의 한계를 극복하기 위해 높은 전하 이동도와 우수한 전기적 안정성을 갖춘 산화물 반도체가 주목을 받고 있다 [1-5]. 산화물 반도체를 기반으로 제작한 박막 트랜지스터 (TFT)는 a-Si나 LTPS 트랜지

[†]These authors contributed equally to this work

- 이재윤 · 조한림: 박사과정, 유수창: 박사 후 연구원, 최성곤 · 유흥균 · 정용진 · 김성진: 교수

*Corresponding Author: Seong-Gon Choi

[Tel: +82-43-261-2484, E-mail: sgchoi@cbnu.ac.kr]

*Corresponding Author: Sung-Jin Kim

[Tel: +82-43-261-2451, E-mail: ksj@cbnu.ac.kr]

Copyright © The Korean Institute of Metals and Materials

스터에 비교하여 저온으로 공정이 가능하며, 높은 전하 이동도와 신뢰성을 가진다. 최근 연구되고 있는 산화물 반도체는 ZnO, SnO, InO, ITO, ZTO, IGZO 등이 있으며, 주로 display backplane 소자로 연구되고 있다 [6-11].

이 중에서 a-IGZO는 높은 bandgap energy를 가지고 있고, 전하 이동도와 uniformity가 우수하여 large-area 구동 소자에 유리하며, TFT 회로의 소형화가 가능하고 높은 광 투과도를 가지고 있어서 대면적 디스플레이뿐만 아니라 플렉시블 디스플레이 분야로의 응용에도 많은 연구가 되고 있다 [4,12,13]. 디스플레이 픽셀의 크기가 작아질수록 백플레인용 트랜지스터의 크기 또한 작아져야 하기 때문에, a-IGZO 활성층 기반 트랜지스터의 성능 향상을 위한 연구를 활발히 진행 중이다 [9,10,14-17]. 현재까지 트랜지스터의 구조 변화, 절연층과 반도체 활성층 사이의 접촉 저항 감소, 절연층과 활성층 두께 변화 등 다양한 환경 변수와 공정 조건 변화에 따른 전기적 특성 분석과 트랜지스터 성능 평가가 진행되어왔다. 그러나 전하 이동도를 높이기 위한 구조적 변화나 channel의 폭, 너비 축소 등은 물리적 한계가 있으며, 공정 단계도 많아지게 된다 [11,14,16,17]. 이를 극복하기 위해서, a-IGZO 활성층 표면에 대한 plasma, thermal, 그리고 초음파 처리에 대한 연구가 진행되고 있다 [18-22]. 그 중, 초음파 기술은 나노 크기 물질의 가공 목적을 위해 반드시 필요하며, cavitation 현상을 이용하여 강력한 입자 제거 능력과 다방면 및 좁은 공간에서의 높은 침투력을 가지고 있는 장점이 있어 널리 사용되고 있다 [22-25].

본 연구에서는 초음파 표면처리가 a-IGZO 활성층 기반 TFT의 성능에 미치는 영향에 대하여 분석하기 위해서, a-IGZO TFT를 제작하였다. 초음파 표면처리에 따른 외부 전압 스트레스 신뢰성 및 안정성 평가를 위해 gate bias voltage stress (GBS) test를 진행하였으며, 제작한 device의 백플레인 디스플레이용 소자 응용 가능성을 평가하기 위해 resistive load type inverter를 구성하여 dynamic response를 측정하였다.

2. 실험 방법

그림 1은 본 연구에서 제작한 MIM 구조의 a-IGZO 활성층 기반 TFT를 나타낸다. 기판이자 gate 전극으로 heavily doped n-type Si wafer를 사용하였으며, furnace를 사용한 습식 산화 공정을 통해 100 nm의 SiO₂ 절연층을 형성시켰다. 이후 표면에 남아있는 불순물들을 제거하기 위해서, H₂SO₄ 와 H₂O₂를 3:1 비율로 혼합하여 만든

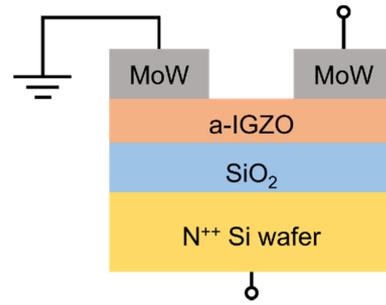


Fig. 1. Schematic diagram of a-IGZO TFT.

sulfuric peroxide mixture 용액에 담가 60 °C의 온도에서 piranha cleaning을 진행하였다.

이후 a-IGZO 활성층을 증착하기 위해 DC/RF magnetron sputtering system을 이용하여 sputtering 공정을 실시하였다. 본 연구에서는 원활한 sputtering 공정을 위해 비활성기체인 Ar를 사용하였으며, RF sputtering target으로 직경 3 inch의 1:1:1 a-IGZO (In₂O₃:Ga₂O₃:ZnO) target을 gun-type plasma cell에 부착하여 사용하였다. RF power를 150 W로 인가하고 6분 40초 동안 sputtering 공정을 통해 50 nm의 a-IGZO 활성층을 증착하였다. Sputtering 공정을 이용해 a-IGZO 활성층을 증착한 후, 초음파 표면 처리 장비를 사용하여 a-IGZO 활성층 박막 표면에 20분 동안 초음파 표면처리를 수행하였다. 초음파 표면처리를 위해 a-IGZO 활성층 박막이 증착된 wafer를 제작한 트레이에 두고 트레이를 물이 가득 찬 수조에 담가 수조 양쪽에서 40 KHz의 초음파를 가하였다. a-IGZO 활성층 박막을 수조에 직접 담가 초음파 처리를 하는 것이 초음파의 손실을 최소화하는 방법이나 친수성인 a-IGZO 박막이 수분과 접촉하여 특성이 열화되는 것을 방지하기 위해 별도의 트레이를 설치하였으며, 초음파는 원 매질인 물을 지나 트레이를 통해 a-IGZO 활성층 박막 표면에 전달되었다.

초음파 표면처리를 마친 후, a-IGZO 활성층 내부의 산소 농도를 감소시켜 접촉 저항을 줄이기 위해 열처리 공정을 진행하였다. 열처리 공정은 내부 분위기를 대기상태로 조성하여 350°C의 온도로 1시간 동안 진행하였다. 열처리 공정을 마친 후, DC/RF magnetron sputtering system을 이용하여 100 nm의 MoW source/drain contact 전극을 증착하여 length, width가 각각 200, 2,000 μm인 channel을 형성하였다.

본 연구에서는 a-IGZO 박막이 증착된 wafer에 열처리 공정 이전 수행된 초음파 표면처리가 a-IGZO 활성층 기반 TFT에 어떠한 효과를 미치는지에 대해 분석하였다. TFT의

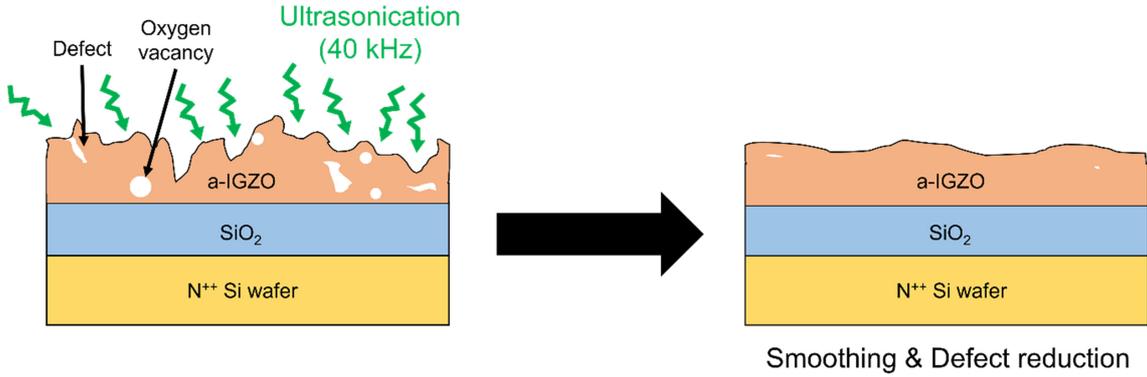


Fig. 2. Changes after ultrasonication pre-annealing and thermal annealing of a-IGZO thin film.

성능을 측정하기 위해 Keithley 2636 반도체 파라미터 분석기를 이용하여 대기 분위기의 암실에서 전기적 성능과 안정성을 평가하였으며, 시간의 흐름에 따른 전류 지속성과 전압이 인가된 누적 시간에 따른 신뢰성을 평가하기 위해 Keithley 4200 반도체 파라미터 분석기를 이용하여 시간에 따른 retention current stability와 gate bias stress stability (GBS) test를 진행하였다. 또한 1 MΩ의 저항을 가지는 resistive load type inverter 회로를 구성하여 device switching 특성을 분석하였다.

3. 결과 및 고찰

그림 2는 열처리 공정 이전 lattice defect, oxygen vacancy, hydroxide 등 다양한 defect을 가지고 있는 a-IGZO 박막의 초음파 표면처리 및 열처리 공정 이후 박막의 변화를 보여준다. 열처리 공정 이전 a-IGZO 박막은 완전히 경화되지 않아 lattice간의 격자 간극 혹은 결손들이 존재하며, 다량의 oxygen vacancy로 인해 신뢰성이 떨어지는 문제가 있다. 또한, 표면이 매우 거칠며, crack 또한 존재할 수 있다.

그러나, 초음파의 cavitation 현상을 이용하여 입자간 충돌을 일으키고 이러한 충돌로 인한 shock heating의 결과는 lattice간의 간극들을 좁히며, 입자 크기 감소를 유발시킬 수 있다 [26,27]. 이러한 효과를 이용해 본 실험에서는 초음파 표면처리를 통해 a-IGZO 박막 표면개질 개선을 통한 a-IGZO TFT의 성능 향상을 기대하였으며, 다양한 방법으로 디바이스의 전기적, 표면적 특성 측정을 통한 분석을 수행하였다.

그림 3은 초음파 표면처리를 진행하지 않은 a-IGZO TFT 소자와 초음파 표면처리를 진행한 a-IGZO TFT 소자의 out-put, transfer characteristic curve를 보여준다.

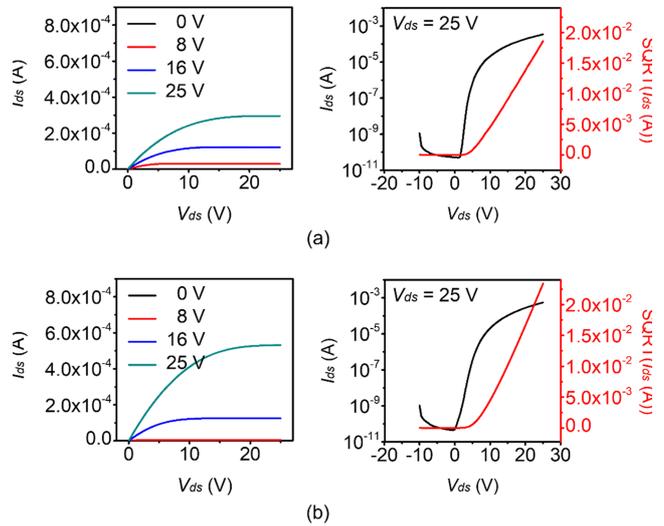


Fig. 3. Output & transfer characteristics $I_{ds} - V_{gs}$ curves of a-IGZO TFTs by ultrasonication pre-annealing (a) without pre-annealing, and (b) with pre-annealing.

Output characteristic curve는 V_{ds} 를 0~25 V까지 0.5 step voltage를 인가하며 I_{ds} 값을 측정하였으며, gate bias voltage는 각각 0, 8, 16, 25 V 인가하였다. Transfer characteristic curve 측정을 위해 V_{gs} 를 -10~25 V까지 0.5 step voltage를 인가하였으며, drain bias voltage를 25 V 인가하였을 때의 I_{ds} 값을 측정하였다. TFT의 전기적 성능을 평가하기 위한 주요 파라미터는 transfer characteristic curve를 통해 추출하였으며, 각각의 값들은 아래 식으로부터 유도하였으며, 그 결과는 그림 4(b)에 정리하였다.

liner region에서의 I_{ds}

$$I_{ds} = \frac{W}{L} C_{it} u \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} \quad (1)$$

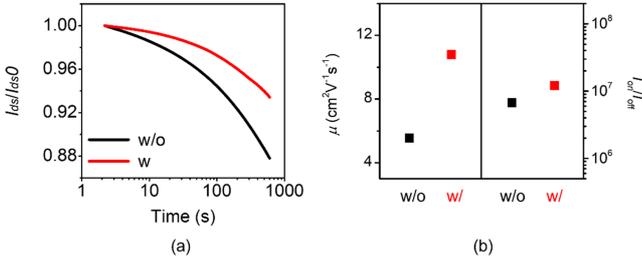


Fig. 4. (a) Retention characteristics curve of a-IGZO TFTs by with or without ultrasonication pre-annealing, and (b) summary of electrical properties of a-IGZO TFTs by with or without ultrasonication pre-annealing.

saturation region에서의 I_{ds}

$$I_{ds} = \frac{W}{2L} C_i \mu (V_{gs} - V_{th})^2 \quad (2)$$

초음파 표면처리 후 더 높은 값에서 I_{ds} 가 saturation 되었으며, saturation region에서의 mobility (μ_{sat})가 5.46에서 10.78로 크게 증가하였고, on/off current ratio (I_{on}/I_{off}) 또한 6.9×10^6 에서 1.2×10^7 로 증가하였다. 이는 초음파 처리가 a-IGZO 활성층 박막 표면의 불순물들을 제거하고, leakage current 또한 감소시켜 TFT의 전기적 성능을 향상시킨 것으로 보인다.

이에 따라, 초음파 표면처리가 a-IGZO TFT의 신뢰성 및 안정성에 어떠한 영향을 미치는가에 대하여 평가를 수행하였다. 그림 4(a)는 a-IGZO TFT의 V_{gs} 와 V_{ds} 에 각각 20 V로 10분간 인가하였을 때 시간이 지남에 따라 변화하는 I_{ds} 값을 측정하여 초기 I_{ds} 값 (I_{ds0})으로 나눈 결과를 나타낸다. 초음파 표면처리를 진행하지 않은 a-IGZO TFT의 경우, 전류를 지속하지 못해 급격하게 감소되는 것을 확인할 수 있으며, 초음파 표면처리를 진행한 a-IGZO TFT 소자의 경우 1000초가 지나도 95% 이상의 전류를

지속하였다. 인가 전압에 따른 전류 지속성을 통해 활성층 내부 전하 캐리어와 트랩은 다음과 같은 식으로 확인할 수 있다 [28,29].

$$\Delta I_{ds} = I_{ds0} \left[1 - \exp\left(-\frac{t}{\tau}\right)^\beta \right] \quad (3)$$

t 는 degradation 되는 시간이며, τ 는 전하가 트래핑되거나 완화되는 속도와 관련된 특성시간 상수이고, β 는 전하 트래핑을 위한 장벽 에너지 높이 및 트랩의 폭을 포함하는 상수이며, 0.3 이하의 값을 가진다. 초음파 표면처리를 진행한 a-IGZO TFT 소자는 표면처리를 진행하지 않은 소자보다 더 긴 τ (6.004×10^2 s)를 가지며, 이 값을 측정하는 시간에 따라 더 커질 수 있다. 인가되는 전기적 스트레스에 따른 I_{ds} 값의 감소는 반도체 활성층과 절연층 계면의 전하 캐리어의 트래핑과 관련이 있다. 지속적으로 인가되는 스트레스 전압에 의해 절연층 내부 트랩이 형성되며, 이로 인해 시간이 지남에 따라 I_{ds} 값이 감소하게 된다 [29-32]. 결과적으로, 초음파 표면처리로 인해 a-IGZO 활성층과 SiO_2 절연층 계면 전하 트래핑 현상이 완화되어 a-IGZO TFT 소자의 안정성이 개선되었다는 것을 알 수 있다.

a-IGZO 활성층과 SiO_2 절연층 계면 트랩된 전하의 정도를 확인하기 위해 capacitance-voltage (C-V) curve를 측정하여 결과를 그림 5에 나타내었다. C-V curve 측정을 위해 a-IGZO TFT 소자의 bottom gate 전극에 $-10 \sim 15$ V까지 0.5 step voltage로 인가해주었으며, 주파수는 1 kHz로 고정하였다. 일반적으로 전자는 높은 전압이 인가되었을 때 축적되었으며, 이는 반도체 층에 negative carrier가 주입되는 것으로 볼 수 있다. 그림 5를 통해 초음파 표면처리 후 a-IGZO 계면에 트랩되는 전하의 양이 줄어든 것을 확인할 수 있었으며, 이는 초음파 표면처리가 a-IGZO 활성층 표면 트랩 전하를 줄이는데 도움이 되며, 이

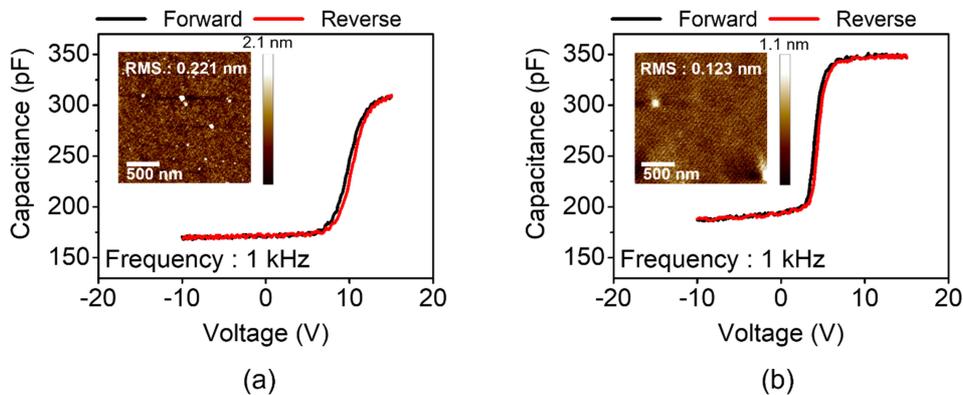


Fig. 5. C-V curves of TFTs with a-IGZO TFTs by ultrasonication pre-annealing (a) without pre-annealing, and (b) with pre-annealing.

에 따라 전하 이동도를 포함한 전기적 성능향상에 효과가 있음을 확인하였다. 한편, 그림 5에 Inset은 초음파 표면처리 전후에 따른 a-IGZO 박막의 변화를 알아보기 위해 측정된 AFM image이다. AFM image는 tapping mode로 $2\text{ }\mu\text{m} \times 2\text{ }\mu\text{m}$ 크기의 a-IGZO 박막 표면을 스캔하였으며, 표면처리를 수행하지 않은 a-IGZO 박막의 경우, 표면 위 particle 등의 불순물이 다수 관측되었으며, 0.221 nm의 RMS 값이 나왔다. 그러나, 초음파 표면처리 이후 표면 위 다수 관측되던 particle들이 줄어들었으며, RMS 값 또한 0.123 nm로 감소하였다. 이를 통해 초음파 표면처리가 a-IGZO 박막 표면의 particle들을 제거하고, 표면 거칠기를 감소시켜 박막 개질 개선에 효과가 있음을 확인하였다.

그림 4와 그림 5를 통해 초음파 표면처리가 a-IGZO TFT의 소자의 안정성 개선 및 전기적 성능에 효과가 있음을 확인하였으며, 인가되는 외부 스트레스 전압에 따른 a-IGZO TFT의 신뢰성 평가를 위해 GBS test를 실시하였다. 그림 6와 7은 외부 스트레스 전압에 따른 transfer characteristic curve의 변화를 측정된 GBS test 결과이다. GBS test를 위해 TFT의 gate 전극에 $\pm 20\text{ V}$ 를 지속적으로 인가하며, 인가한 시간에 따른 transfer curve를 측정하였다. TFT의 경우 on 혹은 off 상태로 전환되기 위해서는 회로에 voltage가 인가되어야만 하며, gate에 voltage가 지속적으로 인가되었을 때, 활성층 내부 major carrier들이 전기적 힘에 의해 절연층과 활성층 경계에서 trap 되어 활성층 내부 carrier들이 감소하게 되고 인가되는 전압에 따라 V_{th} 값이 변화하게 된다. Voltage가 인가되었을 때, 전압 스트레스 시간에 따라 V_{th} 값이 변화하지 않고 일정한 수준으로 유지될수록 안정성을 갖춘 소자라고 평가할 수 있으며, 신뢰성 지표가 된다 [33-35].

그림 6은 gate에 positive bias voltage를 인가한 PBS test 결과이다. TFT의 gate 전극에 +20 V 전압을 지속적으로 인가하였으며, 0, 100, 200, 300, 400, 500 초 동안 인가한 후 transfer curve를 측정하였다. 전압이 인가되는 시간에 따라 V_{th} 값이 7 V 이상 positive shift 된 초음파 표면처리를 진행하지 않은 a-IGZO TFT 소자와는 달리 초음파 표면처리를 진행한 a-IGZO TFT 소자의 경우 bias voltage가 500초 이상 인가되어도 V_{th} 값은 0.82 V 이동하였다. 전압이 인가되는 시간에 따른 두 소자의 V_{th} 값의 변화량은 그림 6(c)에 정리하였다. 그림 7은 gate에 negative bias voltage를 인가한 NBS test 결과이다. TFT의 gate 전극에 -20 V 전압을 지속적으로 인가하였으며, 0, 100, 200, 300, 400, 500초 동안 인가한 후 transfer curve를 측정하였다. 전압이 인가되는 시간에 따라 V_{th} 값

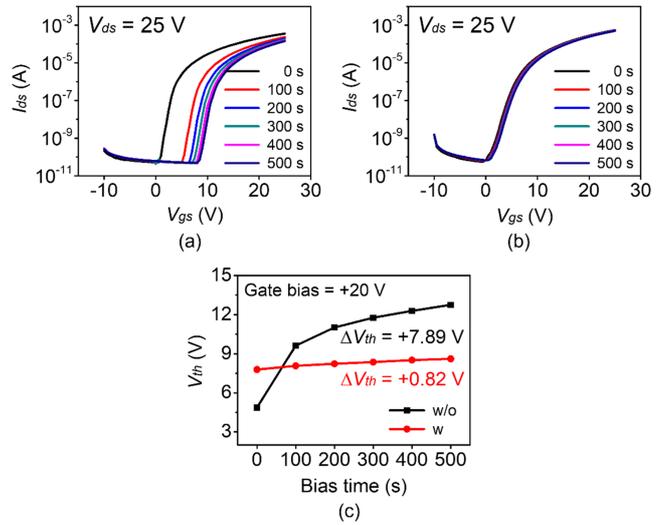


Fig. 6. Positive bias stress stability of TFTs with a-IGZO TFTs by ultrasonication pre-annealing (a) without pre-annealing, (b) with pre-annealing, and (c) V_{th} change according to time when voltage is applied. The stressing conditions were $V_{gs} = +20\text{ V}$

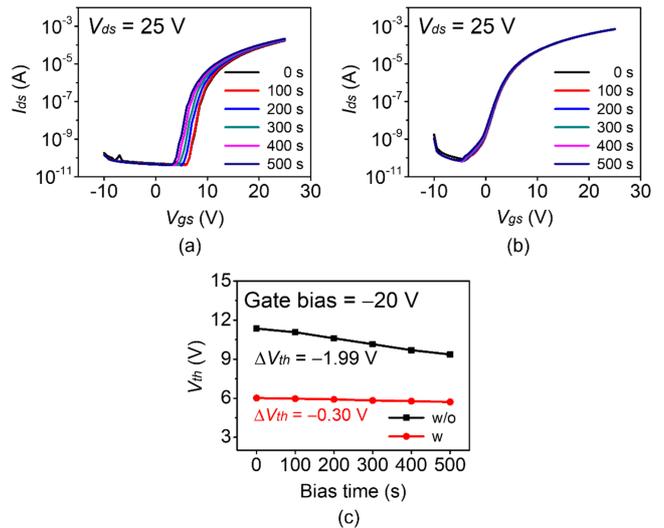


Fig. 7. Negative bias stress stability of TFTs with a-IGZO TFTs by ultrasonication pre-annealing (a) without pre-annealing, (b) with pre-annealing, and (c) V_{th} change according to time when voltage is applied. The stressing conditions were $V_{gs} = -20\text{ V}$

이 -1.99 V shift 된 초음파 표면처리를 진행하지 않은 a-IGZO TFT 소자와는 달리 초음파 표면처리를 진행한 a-IGZO TFT 소자의 경우 bias voltage가 500초 이상 인가되어도 V_{th} 값은 -0.30 V 이동하였다. 전압이 인가되는 시간에 따른 두 소자의 V_{th} 값의 변화량은 그림 7(c)에 정리하였다.

최종적으로, 소자의 반전 특성과 입력 신호에 대한 스위

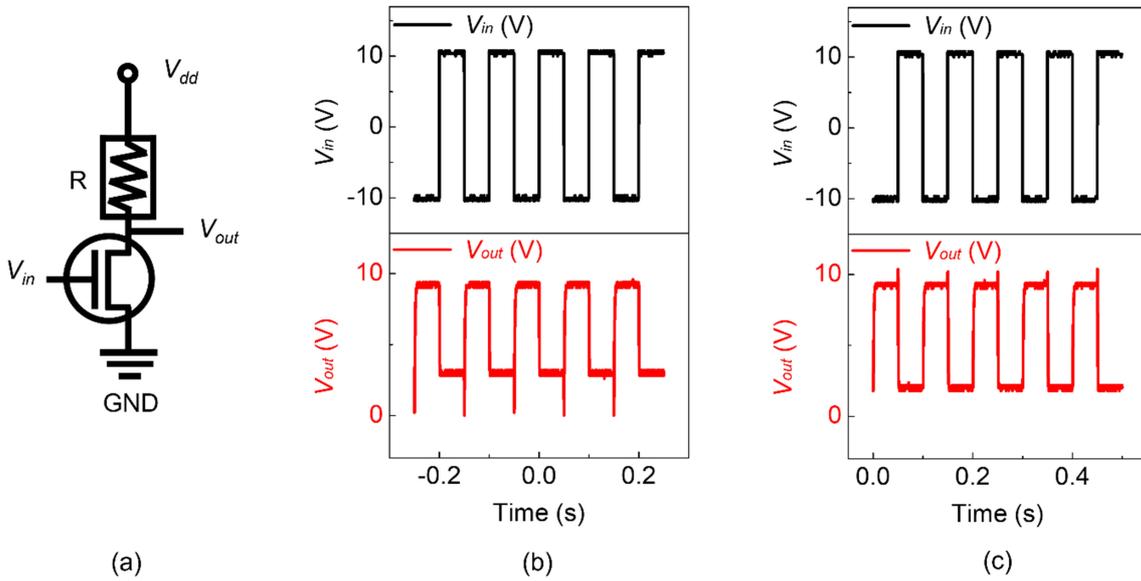


Fig. 8. Logic circuit for measuring the inversion characteristics a-IGZO TFTs by ultrasonication pre-annealing. (a) circuit of logic inverter, (b) without pre-annealing, and (c) with pre-annealing. NMOS dynamic response characteristics according to 10 Hz, $V_{dd} = 10$ V, $V_{in} = -10 \sim 10$ V.

칭 응답속도에 대한 측정을 위해 logic 회로를 구성하였다. 그림 8(a)는 초음파 표면처리에 따른 a-IGZO TFT 소자의 dynamic inverter 동작 특성 분석을 위한 logic inverter 회로의 모식도이다. 파워 서플라이와 오실로스코프, 함수 발생기를 사용하여 회로를 구성하였으며, 회로의 부하 저항을 1 M Ω , drain 공급 전압 (V_{dd})에 10 V를 인가하여 10 Hz에서 dynamic response characteristic을 측정하였다. V_{in} 이 0 V 일 때, 인가되는 전압이 V_{th} 값보다 낮아 gate-drain-source간 open된 무한대의 저항을 띄기 때문에 V_{out} 으로 10 V가 출력되게 된다. 반대로 V_{in} 에 10 V가 인가될 때, gate-drain-source간 short된 형태의 극소의 저항을 띄며, current들이 ground로 흘러 V_{out} 은 0 V가 출력된다. 그림 8(b)는 초음파 표면처리를 진행하지 않은 a-IGZO TFT 소자의 dynamic response characteristic curve이며, 그림 8(c)는 20분간 초음파 표면처리를 진행한 a-IGZO TFT 소자의 curve이다. 두 소자 모두 저주파 영역에서 입력되는 구형파 low/high 신호를 high/low 신호로 올바르게 출력하는 것을 볼 수 있다.

추가로, TFT를 디스플레이 구동회로로 적용하기 위한 평가를 구체적으로 실시하기 위해 static inverter 동작 특성 분석을 위한 voltage transfer characteristic (VTC) curve를 측정하였으며, 그 결과를 그림 9에 나타내었다. VTC curve는 5, 10, 15, 20 V로 달리 인가되는 V_{dd} 에 따른 V_{in} - V_{out} curve이며, 그를 통해 추출한 gain 값을 오른쪽 그

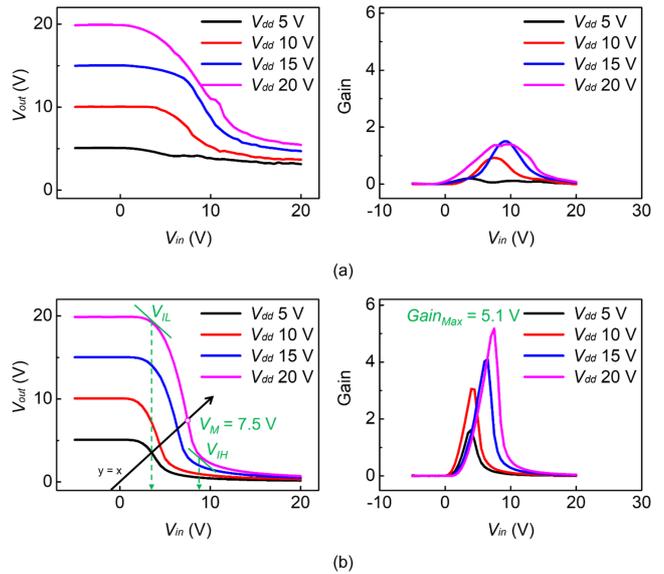


Fig. 9. Voltage transfer characteristic curve of a-IGZO TFTs by ultrasonication pre-annealing (a) without pre-annealing, and (b) with pre-annealing. Voltage transfer characteristic based on 5 V ~ 20 V V_{dd} .

림에서 볼 수 있다. 초음파 표면처리가 수행되지 않은 소자인 그림 9(a)의 경우, 인가되는 전압에 따른 출력 전압과 그에 따른 gain 값이 매우 불안정한 형태로 나타났다. 초음파 표면처리를 진행한 그림 9(b)의 경우, 입력 전압에 대한 출력 전압이 안정적인 형태를 띄었으며, V_{dd} 에 20 V

가 인가되었을 때, $V_M = 7.5$ V에서 5.1의 gain 값을 보였다. 구성된 inverter 회로의 noise margin 특성 분석 결과, $V_{dd} = 20$ V 일 때, input high voltage (V_{IH}) = 8.7 V, input low voltage (V_{IL}) = 3.7V 가 추출되었으며, 추출된 V_{IH} 와 V_{IL} 를 이용하여 total noise margin 계산 결과 약 71.5 %가 나왔다. 이 결과를 통해, 초음파 표면처리 이후 IGZO TFT의 반전 특성과 스위칭 응답 속도가 개선되었으며, 최종적으로 디스플레이 구동회로에 실제 적용 가능성이 있음을 확인하였다.

4. 결 론

본 연구에서는 a-IGZO 박막이 증착된 wafer에 열처리 공정을 수행하기 전 초음파 표면처리를 실시하여 초음파 표면처리가 a-IGZO TFT에 어떠한 효과를 미치는지에 대해 분석하였다. 초음파 표면처리가 미치는 효과에 대해 분석하기 위해 증착을 마친 a-IGZO 활성층 표면에 20분 동안 40 kHz로 초음파 표면처리를 수행하였다. 결과적으로 초음파 표면처리 이후 a-IGZO TFT의 μ_{sat} 와 I_{on}/I_{off} 등 소자의 전기적 성능들이 향상되었으며, 안정적인 전류 지속성과 외부 전압에 대한 내구성을 확인하였다. 또한, 초음파 표면처리를 통해 활성층과 게이트 절연막 사이 트랩 전하의 생성을 억제할 수 있었으며 표면 개질 향상에 효과가 있음을 확인하였다. 마지막으로, dynamic & static response characteristic curve 측정을 통해 초음파 표면처리 후 a-IGZO TFT의 반전 특성과 스위칭 응답 속도가 우수해졌으며, 최종적으로 디스플레이 구동회로에 적용 가능성이 있음을 확인하였다. 이를 통해, 산화물 기반 TFT의 활성층 표면처리에 대한 지속적이고 병행한 연구가 수행된다면 차세대 디스플레이를 위한 고성능 TFT를 개발에 큰 영향을 미칠 수 있을 것으로 기대한다.

Acknowledgments

This research was supported by Chungbuk National University Korea National University Development Project (2021).

REFERENCES

1. J. Lee, K.-H. Lim, and Y. S. Kim, *Scientific Reports* **8**, 13905 (2018).
2. J. Y. Kim, G. Choe, T. K. An, and Y. J. Jeong, *Korean J. Met. Mater.* **59**, 162 (2021).
3. A. Marroun, N. A. Touhami, and T. Hamadi, *Transactions on Electrical and Electronic Materials*, **22**, 645 (2021).
4. F. Shan, J.-Y. Lee, H.-S. Kim, H.-Z. Sun, S. G. Choi, K.-J. Heo, J.-H. Koh, and S.-J. Kim, *Electronic Materials Letter* **17**, 222 (2021).
5. F. Shan, J.-Y. Lee, H.-L. Zhao, S. G. Choi, J.-H. Koh, and S.-J. Kim, *Electronic Materials Letter* **17**, 451 (2021).
6. H. H. Hsieh, H. H. Lu, H. C. Ting, C. S. Chuang, C. Y. Chen, and Y. Lin, *Journal of Information Display* **11**, 160 (2010).
7. M. Mizukami, S. Cho, K. Watanabe, M. Abiko, Y. Suzuri, S. Tokito, and J. Kido, *IEEE Electron Device Letters* **39**, 39 (2018).
8. K. Takei, W. Honda, S. Harada, T. Arie, and S. Akita, *Advanced Healthcare Materials* **4**, 487 (2014).
9. J. K. Jeong, J. H. Jeong, H. W. Yang, J.-S. Park, Y.-G. Mo, and H. D. Kim, *Applied Physics Letters* **91**, 113505 (2007).
10. S. Lee, Y. Chen, J. Jeon, C. Park, and J. Jang, *Advanced Electronic Materials* **4**, 1700550 (2018).
11. N. Tiwari, M. Rajput, R. A. John, M. R. Kulkarni, A. C. Nguyen, and N. Mathews, *ACS Applied Materials & Interfaces* **10**, 30506 (2018).
12. C. Xin, L. Chen, T. Li, Z. Zhang, T. Zhao, X. Li, and J. Zhang, *IEEE Electron Device Letters* **39**, 1073 (2018).
13. D. Geng, S. Han, H. Seo, M. Mativenga, and J. Jang, *IEEE Sensors Journal* **17**, 585 (2017).
14. Y. Shao, X. Xiao, X. He, W. Deng, and S. Zhang, *IEEE Electron Device Letters* **36**, 573 (2015).
15. N. C. Su, S. J. Wang, and A. Chin, *IEEE Electron Device Letters* **30**, 1317 (2009).
16. R. Yao, Z. Zheng, M. Xiong, X. Zhang, X. Li, H. Ning, Z. Fang, W. Xie, X. Lu, and J. Peng, *Applied Physics Letters* **112**, 103503 (2018).
17. P. Ma, L. Du, Y. Wang, R. Jiang, Q. Xin, Y. Li, and A. Song, *Applied Physics Letters* **112**, 023501 (2018).
18. C. Peng, S. Yang, C. Pan, X. Li, and J. Zhang, *IEEE Transactions on Electron Devices* **67**, 4262 (2020).
19. M. K. Lee, C. Kim, J. W. Park, E. Kim, M. Seol, J. Park, Y. Choi, S. K. Park, and K. C. Choi, *IEEE Transactions on Electron Devices* **64**, 3189 (2017).
20. J. G. Um and J. Jang, *Applied Physics Letters* **112**, 162104 (2018).
21. M.-H. Kim, M.-J. Choi, K. Kimura, H. Kobayashi, and D.-K. Choi, *Solid-State Electronics* **126**, 87 (2016).
22. A. J. Sayyed, L. V. Mohite, N. A. Deshmukh, and D. V. Pinjari, *Ultrasonics Sonochemistry* **49**, 161 (2018).

23. H. Wu, H. Zheng, Y. Li, C.-D. Ohl, H. Yu, and D. Li, *Ultrasonics Sonochemistry* **78**, 105735 (2021).
24. A. Consiglio, G. Ukpai, B. Rubinsky, and M. J. Powell-Palm, *Physical Review Research* **2**, 023350 (2020).
25. P. B. Muller, M. Rossi, Á. G. Marín, R. Barnkob, P. Augustsson, T. Laurell, C. J. Kähler, and H. Bruus, *Physical Review E* **88**, 023006 (2013).
26. A. Kollath, N. Brezhneva, E. V. Skorb, and D. V. Andreeva, *Physical Chemistry Chemical Physics* **19**, 6286 (2017).
27. L. Zhang, V. Belova-Magri, H. Wang, W.-F. Dong, and H. Moehwald, *Chemistry of Materials* **26**, 2244 (2014).
28. F. R. Libsch and J. Kanicki, *Applied Physics Letters* **62**, 1286 (1993).
29. G. Gu, M. G. Kane, and S.-C. Mau, *Journal of Applied Physics* **101**, 014504 (2007).
30. C. Y. Han, J. Q. Song, W. M. Tang, C. H. Leung, and P. T. Lai, *Applied Physics Letters* **107**, 033503 (2015).
31. S. M. Obaidulla, D. K. Goswami, and P. K. Giri, *Applied Physics Letters* **104**, 213302 (2014).
32. D. K. Hwang, M. S. Oh, J. M. Hwang, J. H. Kim, and S. Im, *Applied Physics Letters* **92**, 013304 (2008).
33. M. Hua, J. Wei, Q. Bao, Z. Zhang, Z. Zheng, and K. J. Chen, *IEEE Electron Device Letters* **39**, 413 (2018).
34. S. W. Lee, D. Suh, S. Y. Lee, and Y. H. Lee, *Applied Physics Letters* **104**, 163506 (2014).
35. E. N. Cho, J. H. Kang, C. E. Kim, P. Moon, and I. Yun, *IEEE Transactions on Device and Materials Reliability* **11**, 112 (2011).