TiO₂/TiO_{2-x} 박막층의 두께가 멤리스터 소자의 특성에 미치는 영향

김한상 · 김성진 *

충북대학교 전자정보대학

Influence of the Thickness of TiO₂/TiO_{2-x} Layers on the Behavior of a Memristor Device

Han-Sang Kim and Sung-Jin Kim *

College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Republic of Korea

Abstract: Memristors have been extensively investigated as the fourth fundamental circuit element. Titanium oxide is a common material used to fabricate memristors. In this paper, we investigated the influence of the thickness of the oxide active layer on the Al/TiO_{2-x}/TiO₂/heavily doped electrode memristor architecture. An insulating TiO₂ thin-film was deposited using an atomic layer deposition system, and TiO_{2-x} active layers of 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, and 30 nm, respectively, were deposited using an RF sputtering technique. The conductivity and crystallinity of the oxygen vacancy based TiO_{2-x}/TiO₂ active layers were observed using atomic force microscopy. When the electrical characteristics of the memristor were evaluated, the 10 nm thick active layer memristor exhibited the most complete repeatable bipolar nonvolatile switching behavior, with an I-V curve of -3 to 3 V. The characteristics of the fabricated nonvolatile memory devices were confirmed by measuring the retention stability of the 10 nm thick active layer based device, which was judged to be the most suitable thickness ratio. Moreover, the endurance number of the ON and the OFF states of the fabricated device was maintained even when the measurement was performed for 1,000 seconds. This performance is indicative of potential applications in next-generation electronic memory devices.

(Received November 26, 2018; Accepted January 9, 2019)

Keywords: nonvolatile resistive random access memory, memristor, thin films, magnetron sputtering, surface, hysteresis, metal oxide semiconductor

1. 서 론

차세대 메모리는 데이터의 비휘발성, 빠른 처리 속도, 데이터의 무작위적 접근, 최소 전력 소비, 초소형, 안전성, 저렴한 가격 등 요구되는 장점들을 고루 갖춘 이상적인 메모리이다. 현재 연구되고 있는 차세대 메모리들은 반도체 메모리가 주축을 이루며, FeRAM (ferroelectric RAM: 강유전체 램), MRAM (magnetic RAM: 강자성 램), PRAM (phase change RAM: 상변화 램), ReRAM (resistance RAM: 저항 램), PoRAM (Polymer RAM: 폴리머 램), NFGM (nano floating gate memory : 나노튜브 램) 등으로 구분된다 [1-5].

이중에서 절연막의 저항 값 변화를 이용하여 기억을 저장하는 새로운 소자인 ReRAM [6-10]은 속도가 기존의 메모리에 비하여 속도와 내구성이 수 십 ~ 수 백배 우수하다 [11,12]. 또한 구조가 간단하여 향후 DRAM과 NAND보다 낮은 단가로 제조가 가능하다고 판단되고 있다. 일반적으로 ReRAM으로 일컫는 멤리스터 (memristor)는 memory와 resistor의 합성어이며 기술적으로 자속 (Φ)과 전하 (q)를 연결하는 수동회로 소자이다 [13]. 멤리스터는 하나의 바이오 시냅스를 하나의 소자 형태로 구현할 수 있어서 회로 크기를 획기적으로 줄일 수 있다. 이러한 특징으로 트랜지스터보다 더욱 작게 소형화 할 수 있으므로, 2025년경에 파국을 맞을 무어의 법칙 (moore's law) [14]을 연장시키는데 매우 중요한 역할을 할 것으로 기대하고 있다. 또한 멤리스터는 금속과 산화물의 MIM (metal-insulator-metal) 구조를 가지고 있으며, 이러한 구조로 인하여 공정상의 결함을 현저히 줄임과 동시에 생산 원

- 김한상: 석사과정, 김성진: 교수

*Corresponding Author: Sung-Jin Kim

[Tel: +82-43-261-2451, E-mail: ksj@cbnu.ac.kr]

Copyright © The Korean Institute of Metals and Materials

가를 줄일 수 있다 [15-17]. 멤리스터는 TiO_2 , SrTiO_3 [18, 19], NiO [20], CuO [21], ZnO [22], MnO_x [23], HfO_x [24], Ta_2O_5 [25], $\text{Ti}_2\text{O}_{5-x}/\text{TiO}_y$ [26], $\text{TaO}_x/\text{TiO}_{2-x}$ [27] 등의 전이 금속 산화물을 기반으로 제작된다.

멤리스터 분야에 있어서 이러한 재료의 저항 변동에 대한 의존성을 기술하기 위해, 공간 전하에 의한 shottky barrier의 형성 및 전류 제한뿐만 아니라 물질의 부피 변화로 발생하는 프로세스를 기반으로 몇 가지 모델이 제안되어 왔다. 기존의 연구에 따르면, $\text{TiO}_2/\text{TiO}_{2-x}$ 박막 기반의 멤리스터는 가장 전형적이고 좋은 효율을 보이는 소자로 보고되고 있지만 $\text{TiO}_2/\text{TiO}_{2-x}$ 박막에 대한 저항의 쌍 안정성 동작을 설명하는 모델은 아직 개발되지 않았다. 또한 구조 파라미터가 메모리 효과에 미치는 영향과 박막에서의 스위칭에 대한 자세한 분석은 수행되지 않고 있다.

따라서 본 연구에서는 $\text{TiO}_2/\text{TiO}_{2-x}$ 박막의 다양한 두께를 가지는 멤리스터를 제작하고, 여러 두께의 변화에 따른 메모리 효과를 분석하였다. 게이트 전극과 Al 금속 전극 사이에 TiO_2 절연층과 그 위에 TiO_{2-x} 산화물 반도체 층을 결합한 이중 접합 구조로 디바이스를 제작하였고 산화물 반도체 물질인 TiO_{2-x} 박막의 여러 두께에 따른 멤리스터의 전기적, 표면적 특성을 관찰하기 위해 저항 스위칭 메모리 소자의 특성 평가를 위한 I-V curve와 표면 상의 morphology를 확인하였다. 또한 가장 좋은 효율의 두께를 가진 멤리스터에 대하여 향후 비휘발성 메모리로의 응용 여부를 확인하기 위해서 retention stability 측정을 진행하였다.

2. 실험 방법

2.1 멤리스터 디바이스 제작

그림 1은 금속과 산화물의 MIM 구조로 구성된 $\text{TiO}_2/\text{TiO}_{2-x}$ 기반의 멤리스터 구조를 간략하게 나타낸다. Heavily doped n-type Si wafer를 기판이자 gate 전극으로 사용하였다. 먼저 acetone을 이용하여 무기, 유기물 불순물을 제거하고 isopropyl alcohol과 deionized water를 이용하여 잔류하는 acetone을 세척하였다. 이러한 piranha cleaning을 이용하여 게이트와 절연층이 증착 될 때를 대비하여 불순물을 제거하고 손상을 방지하였다.

기판 위 TiO_2 절연막을 형성하기 위해 NCD사의 모델명 LUCIDA D100인 ALD (atomic layer deposition) system을 이용하여 원자층 증착 공정을 진행하였다. 원자층 증착법은 금속 유기 전구체 (metal-organic precursor)와 반응물 (reactant)간의 자기 제한적 표면 반응 (self-

Fig. 1. Schematic illustration of $\text{TiO}_2/\text{TiO}_{2-x}$ memristors based on oxide semiconductor active layers with thicknesses of 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, and 30 nm.

limiting surface reaction) 만을 이용하여 bottom-up 방식으로 박막을 형성한다. 주로 수백 nm 이하의 얇은 박막을 정밀하게 제어함에 있어서 용이하기 때문에, 복잡한 표면 형상의 기판에 우수한 단차 피복성 (step coverage)의 구현이 가능하다. 또한 pinhole과 같은 표면 결함이 거의 없는 양질의 코팅층 제조가 가능한 장점이 있다 [28]. 전구체로 titanium isopropoxide (TTIP)와 반응물로 oxygen의 전구체인 H_2O 증기를 기판 위에 반복적으로 붙여넣었다. 먼저 증착을 위한 chamber의 온도 및 압력은 각각 200°C , 2.5×10^{-2} Torr로 일정하게 유지하였다. 충분한 증기압을 얻기 위해서, TTIP와 H_2O 는 60°C 로 가열하여 사용하였다. N_2 gas는 전구체 및 반응물의 carrier 및 purge gas로 사용되었으며, 30 sccm으로 주입하였다. TiO_2 증착을 위한 ALD cycle은 TTIP 주입, 10초의 N_2 purge gas 주입, 1초의 H_2O 주입, 다시 10초의 N_2 purge gas 주입으로 rate는 1 cycle 당 $0.2 \text{ \AA}$ 증착으로 250 cycle을 반복하여 6개의 wafer에 각각 5 nm 두께를 가진 TiO_2 박막을 형성하였다.

이후, TiO_2 절연막 위에 산화물 반도체 박막인 rutile 구조를 가지는 TiO_{2-x} 활성층을 증착하기 위해서 더윈과화학사의 RF magnetron sputtering system을 사용하여 스퍼터링 공정을 진행하였다. 스퍼터링 공정법은 진공 증착법의 일종이며 비교적 낮은 진공도에서 플라즈마를 이온화된 Ar의 gas를 가속하여 target에 충돌시키고, 원자를 분출하여 wafer 상에 막을 형성하는 공정이다. TiO_{2-x} target 면을 음극 (cathode)으로, wafer 면을 양극 (anode)으로 설정하였으며 wafer와 target 사이의 거리는 8 cm, 증착 온도는 실온으로 고정하여 선택된 변수 외에 다른 영향을 방지하였다. Rotary pump와 turbo molecular pump를 사용하여

chamber의 초기 진공도를 4×10^{-6} Torr 이하로 설정하였다. 이후 30 sccm의 Ar gas를 주입하여 상온에서 증착을 진행하였다. 박막을 증착하기 전에 target 표면에 남아있는 불순물을 제거하기 위해 예비 스퍼터링을 5분 동안 진행하였으며 chamber 내에 실제 공정 압력은 1.5×10^{-2} Torr를 유지하였다. 박막의 균일한 증착을 위해 wafer를 7 rpm의 속도로 회전하였으며, RF power를 200 W로 고정된 상태에서 공정 시간을 일정하게 높여 6개의 wafer 상에 각각 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm 두께의 TiO_{2-x} 박막을 증착하였다.

최종적으로 더윈과학사의 DC magnetron sputtering system을 사용하여 Al target과 shadow mask를 이용한 진공 증착을 통해 DC power와 chamber 내에 실제 공정 압력을 각각 150 W, 1.5×10^{-2} Torr로 설정하고 100 nm의 상부 전극을 제작하였다. 공정을 시작하기 전 Ar gas를 30 sccm으로 주입하고 상온에서 증착을 진행하였다. Al 상부 전극의 가로와 세로 길이는 $300 \mu\text{m} \times 300 \mu\text{m}$ 의 십자 형태를 띄고 있으며, 하나의 wafer에 각각 4개의 멤리스터 소자로 구성하였다.

TiO_{2-x} 박막 두께가 각각 다른 멤리스터의 제작이 끝난 후, 증착된 각각의 박막 두께는 BRUKER사의 모델명 DektakXT 고성능 단차 측정기를 이용하여 정밀하게 측정하였다. 또한 전기적 성능을 판단하기 위해 (+), (-)극에 -3~3 V의 전압을 인가하였을 때의 I-V curve를 측정하였다. 그리고 제작한 멤리스터에 대하여 향후 비휘발성 메모리로의 응용 여부를 확인하기 위해 ON/OFF 상태에서의 시간 경과에 따른 retention stability 측정을 진행하였다.

2.2 멤리스터 구동 스위칭 메커니즘

그림 2는 금속과 산화물로 구성된 $\text{TiO}_2/\text{TiO}_{2-x}$ 기반 멤리스터의 구동 메커니즘을 나타낸다. 멤리스터의 측정에서는 하부 게이트 전극을 접지로 사용하였고, 상부 전극에 전압을 인가하였다. TiO_{2-x} 에서의 O_{2-x} 는 Ti와의 결합에서 산소가 결핍되는 것을 의미하며, 결핍되는 산소 원자의 비율 x 는 2~5%이다 [29]. TiO_{2-x} 박막은 결핍되는 산소량만큼 공핍되어지는 부분이 형성된 후 양이온 (oxygen ion)이 분포되기에 전도도가 매우 높다. 하지만 TiO_2 박막은 전도도가 매우 낮기 때문에 절연층 역할을 수행하며, 구동시에 인가하는 바이어스의 방향에 따라서 $\text{TiO}_2/\text{TiO}_{2-x}$ 박막의 경계면이 이동을 하게 된다.

즉, 멤리스터의 TiO_{2-x} 박막에 (+) 바이어스를 인가하면 filament의 형성으로 인해 수행 경로 (conducting pathways)가 생성된다. 생성된 수행 경로를 통해서 계면의 산화된

High conductance

Low conductance

Fig. 2. Conduction mechanism in a $\text{TiO}_2/\text{TiO}_{2-x}$ memristor that switches to HRS and LRS states when positive and negative biases are applied.

산소 이온과 TiO_{2-x} 박막의 트랩된 이온이 TiO_2 박막으로 되돌아가게 된다. 이로 인하여 멤리스터는 전도도가 높은 저저항 (write) 상태인 LRS (low resistance state) 상태로 전환된다. 반대의 상황으로, TiO_{2-x} 박막에 (-) 바이어스를 인가하면 TiO_2 박막의 산소 트랩이 전도성 전자의 이동을 막음으로써 filament의 파열이 발생하게 된다. 이로 인하여 멤리스터는 전도도가 낮은 고저항 (erase) 상태인 HRS (high resistance state) 상태가 된다. 이와 같이 바이어스에 따라 산소 이온이 이동하여 저항이 변하는데, 바이어스를 제거하면 그 상태에서 산소 이온의 이동이 정지한다.

3. 결과 및 고찰

그림 3은 BRUKER사의 ICON AFM (atomic force microscope)을 사용하여 TiO_{2-x} 박막의 두께를 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm로 변화시킨 $\text{TiO}_2/\text{TiO}_{2-x}$ 기반의 멤리스터 표면의 morphology를 $250 \text{ nm} \times 250 \text{ nm}$ size로 나타낸 것이다. 그림 3(a)를 보면 5 nm의 박막 두께를 가진 TiO_{2-x} 기반의 멤리스터이며, grain의 size가 가장 작은 모습을 보였고 표면의 굴곡 또한 가장 적게 나타났다. 또한 그림 3(b)는 10 nm의 박막 두께를 가진 TiO_{2-x} 기반의 멤리스터를 나타내며, 5 nm의 박막 두께를 가진 TiO_{2-x} 기반의 멤리스터 보다 grain의 size가 조금 크며 표면의 굴곡이 이보다 조금 큰 것을 확인할 수 있다. 한편 TiO_{2-x} 박막의 두께가 15 nm로 증가할 때, grain boundary의 변화가 눈에 띄게 측정되었다. 표면의 단차는 박막의

Fig. 3. AFM images on a $250 \text{ nm} \times 250 \text{ nm}$ scale of TiO_{2-x} active layers deposited at (a) 5 nm, (b) 10 nm, (c) 15 nm, (d) 20 nm, (e) 25 nm, and (f) 30 nm.

표면 거칠기 (root mean square : RMS)와 관계가 있으며, TiO_{2-x} 박막의 두께가 15 nm로 증가하면서부터 5 nm, 10 nm 두께의 TiO_{2-x} 박막 기반 메모리스터의 표면보다 결정 입자가 더욱 커지고 grain boundary가 모호해진 상태로 증착되어 있는 것을 관찰할 수 있다. TiO_{2-x} 박막의 두께가 25 nm, 30 nm인 메모리스터는 부분적으로 공극과 유사한 움푹 파인 표면 형상이 더욱 많이 발견되는데, 이런 공극들의 틈 사이로 sputtering 공정 중 chamber 내에 존재하던 산소 입자가 용이하게 결합될 수 있다. 산소의 결합도는 박막의 저항에 영향을 미치고, 산소의 농도가 증가할수록 저항이 높아지는 결과가 보고된 바 있다 [30, 31]. 따라서 TiO_{2-x} 박막의 두께가 25 nm, 30 nm로 증착된 메모리스터의 표면의 공극에 결합된 산소가 박막의 저항도 증가에 큰 영향을 미쳤다고 사료된다. 한편 TiO_{2-x} 박막의 두께가 증가할수록 표면의 RMS 값은 5 nm 두께인 TiO_{2-x} 박막 기반의 메모리스터는 0.29 nm이며, 30 nm 두께인 TiO_{2-x} 박막 기반의 메모리스터는 1.58 nm로 점차 증가하는 것을 확인할 수 있다. 또한 25 nm, 30 nm의 두께인 TiO_{2-x} 박막 기반 메모리스터의 표면에서 비교가 될 정도로 결정 입자가 크다. 결정 입자가 클수록 빛의 산란을 감소시키고 conductivity를 증가시킨다 [32]. 또한 결정성의 감소로 인하여 박막 표면에 산소가 결합할 수 있는 공간이 증가하여 저항도가 증가하는 결과를 나타내는 것으로 해석된다.

그림 4는 KEITHLEY사의 모델명 SYSTEM 2636A

source meter를 이용하여 박막의 두께를 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm로 변화시킨 $\text{TiO}_2/\text{TiO}_{2-x}$ 기반의 메모리스터의 전기적 성능을 판단하기 위하여 I-V curve를 측정한 결과를 나타낸 것이다. 그림 4(a), 4(b)를 보았을 때 5 nm, 10 nm의 두께인 TiO_{2-x} 박막 기반의 메모리스터는 (+), (-)극 모두 -3 ~ 3 V의 전압을 인가하였을 때의 I-V 평면에서 볼 수 있는 리사주 곡선이 작은 폭의 히스테리시스 (hysteresis) 곡선 형태를 띄는 것을 알 수 있다. 또한 가해진 전류량과 전류 방향에 따라 저항 값이 스위칭 효과를 이용함으로써 전자가 이동할 수 있는 통로인 filament의 생성과 소멸을 이용한다. 결과적으로 메모리의 write, erase 특성을 나타내는 비휘발성 메모리 소자 특성을 나타낼 수 있다. 전하의 이동을 유도할 filament를 형성시키기 위해서 300초 동안 5 V의 전압을 Al 전극과 게이트 전극에 인가하였다. 한편, 5 nm 두께의 TiO_{2-x} 박막 기반의 메모리스터는 첫번째 전압 sweep인 0 ~ 3 V에서는 HRS를 보이다가 reverse sweep인 각각 2.8 V (TiO_{2-x} 5 nm), 3 V (TiO_{2-x} 10 nm)에서 LRS로 상태가 변하며 current level이 높아진다. 이후 메모리스터의 상태는 (-) 바이어스인 -3 V까지 유지되다가, 각각 -2.6 V (TiO_{2-x} 5 nm), -2.8 V (TiO_{2-x} 10 nm)로 이동하면서 HRS로 변하게 된다. 이러한 현상은 메모리스터의 메모리 특성이 erase인 상태를 나타낸다. 최종적으로 5 nm, 10 nm의 두께인 TiO_{2-x} 박막 기반의 메모리스터는 전류량과 바이어스 방향에 따른

Fig. 4. I-V curves applied -3 to 3 V of $\text{TiO}_2/\text{TiO}_{2-x}$ memristors based on oxide semiconductor active layers with thicknesses of (a) 5 nm, (b) 10 nm, (c) 15 nm, (d) 20 nm, (e) 25 nm, and (f) 30 nm.

소자의 current hysteresis와 write, erase가 가능함을 확인함으로써 저장 기반의 비휘발성 메모리 소자의 특성을 나타내는 것을 확인할 수 있었다. 하지만 15 nm, 20 nm 두께인 TiO_{2-x} 박막 기반의 멤리스터는 히스테리시스 곡선 형태를 띄지만 5 nm, 10 nm 두께인 TiO_{2-x} 박막 기반의 멤리스터에 비해서 완전한 히스테리시스 곡선 형태가 아님을 확인할 수 있다. 이는 반도체 박막의 영역이 커지면서 메모리의 area가 줄어들어서 발생한 현상으로 사료된다. 또한 25 nm, 30 nm 두께인 TiO_{2-x} 박막 기반의 멤리스터는 리사주 곡선이 히스테리시스 곡선 형태를 아예 띄지 않는 것을 확인할 수 있다. TiO_2 박막의 두께가 5 nm임을 감안 하였을 때 TiO_{2-x} 박막의 두께가 25 nm 이상으로 증가하면서 반도체 활성막과 절연막 사이의 두께 차이가 표준 이상으로 커지게 된다. 이러한 두께의 큰 차이가 TiO_{2-x} 박막에 (+), (-) 바이어스를 인가한 후 양이온이 이동하여 TiO_2 박막이 증가하거나 감소할 때의 멤리스터의 전도도가 높아지거나 낮아지는 부분에 문제를 발생시켰다고 사료된다. 따라서 본 연구에서 10 nm 두께인 TiO_{2-x} 박막 기반의 멤리스터에서 가장 우수한 current hysteresis를 확인할 수 있었다. 또한 표면 분석을 바탕으로 결정 입자의 크기가 크지 않고, grain boundary가 상대적으로 뚜렷한 점을 확인하였을 때 $\text{TiO}_2/\text{TiO}_{2-x}$ 두께 비율이 가장 효율이 좋다고 사료된다.

그림 5는 메모리 소자의 특성이 가장 잘 나타난 10 nm

Fig. 5. Retention stability of the ON and OFF states of $\text{TiO}_2/\text{TiO}_{2-x}$ memristors based on 10 nm thick TiO_{2-x} active layer under constant bias of 0.1 V and -0.1 V.

두께인 TiO_{2-x} 박막 기반의 멤리스터에 대하여 향후 비휘발성 메모리로의 응용 여부를 확인하기 위해서 ON/OFF 상태에서의 시간 경과에 따른 retention stability 측정을 진행한 결과이다. 비휘발성 메모리로 동작하기 위해서 오랜 시간동안 상태를 유지하는 것이 중요한데 [33,34], 메모리 소자의 ON state와 OFF state가 얼마나 유지되는지를 확인하기 위해서 상온, 암실의 측정 환경에서 -0.1 V, 0.1 V의 전압을 1,000초 이상의 시간동안 지속적으로 인가하여 측정하였다. ON 상태의 current 값의 평균은 1.1×10^{-3} A, 표준편차가 $\pm 4.6 \times 10^{-6}$ A이고, OFF 상태의 current

값의 평균은 8.8×10^{-9} A, 표준편차가 $\pm 3.1 \times 10^{-9}$ A로 거의 변화하지 않고 일정하게 유지되는 것을 확인하였다. 결과적으로 1,000초간의 시간 동안 측정했음에도 ON/OFF 상태의 흐름이 유지되는 것으로 보아서, 10,000초 이상의 긴 시간 경과에 따른 retention stability에서도 큰 편차 없이 일정한 current level을 유지할 것으로 기대된다.

4. 결 론

본 논문에서는 DC/RF magnetron sputtering system 과 ALD를 이용하여 $\text{TiO}_2/\text{TiO}_{2-x}$ 기반의 메모리스터를 제작하였다. 반도체 활성층인 TiO_{2-x} 박막의 두께 변화가 메모리스터의 성능에 미치는 영향을 분석하기 위해서 각각 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm 두께의 TiO_{2-x} 박막 기반의 메모리스터를 제작하였고 AFM과 I-V curve를 이용하여 전기적, 표면적 성능을 비교 분석하였다. 결과적으로 10 nm 두께인 TiO_{2-x} 박막 기반의 메모리스터에서 가장 우수한 current hysteresis를 확인할 수 있었고, 표면 분석을 바탕으로 결정 입자의 크기가 크지 않고 grain boundary가 상대적으로 뚜렷한 점을 확인하였을 때 최적의 $\text{TiO}_2/\text{TiO}_{2-x}$ 두께 구조라고 판단하였다. 우수하다고 판단한 10 nm 두께인 TiO_{2-x} 박막 기반의 메모리스터에 대하여 retention stability 측정을 통해 비휘발성 메모리 소자로서의 특성을 확인하였으며, 1,000초간의 시간 동안 측정했음에도 ON/OFF 상태의 흐름이 유지되는 것을 확인할 수 있었다.

감사의 글

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2017R1D1A3B03029782) and by a Human Resources Development, Korea Institute of Energy Technology Evaluation and Planning (KETEP) grant funded by the Korea government Ministry of Trade, industry & Energy (No. 20164030201330). This research was also supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(2018-0-01396) supervised by the IITP(Institute for Information & communications Technology Promotion)

REFERENCES

1. D. K. Sharma, R. Khosla, and S. K. Sharma, *Solid State Electron.* **111**, 42 (2015).
2. K. Tsunoda, Y. Fukuzumi, J. R. Jameson, Z. Wang, P. B. Griffin, and Y. Nishi, *Appl. Phys. Lett.* **90**, 113501 (2007).
3. Y. Huai, H. Gan, Z. Wang, P. Xu, X. Hao, B. K. Yen, R. Malmhall, N. Pakala, C. Wang, J. Zhang, Y. Zhou, D. Jung, K. Satoh, R. Wang, L. Wue, and M. Pakala, *Appl. Phys. Lett.* **112**, 092402 (2018).
4. M. Hasan, R. Dong, H. Choi, J. Yoon, J.-B. Park, D.-J. Seang, and H. Hwang, *J. Electrochem. Soc.* **156**, H239 (2009).
5. H.-M. Seung, K.-C. Kwon, G.-S. Lee, and J.-G. Park, *Nanotechnology* **25**, 435204 (2014).
6. D. Cooper, C. Baeumer, N. Bernier, A. Marchewka, C. L. Torre, R. E. D. Borkowski, S. Menzel, R. Waser, and R. Dittmann, *Adv. Mater.* **29**, 1700212 (2017).
7. S. Won, S. Go, K. Lee, and J. Lee, *Electron. Mater. Lett.* **4**, 29 (2008).
8. V. I. Sysoev, V. E. Arkhipov, A. V. Okotrub, and Y. V. Pershin, *Appl. Surf. Sci.* **436**, 1018 (2018).
9. M. Prezioso, F. Merrikh-Bayat, B. D. Hoskins, G. C. Adam, K. K. Likharev, and D. B. Strukov, *Nature* **521**, 61 (2015).
10. A. Rani, D. B. Velusamy, F. M. Mota, Y. H. Jang, R. H. Kim, C. Park, and D. H. Kim, *Adv. Funct. Mater.* **27**, 1604604 (2017).
11. N. Duraisamy, N. M. Muhammad, H. C. Kim, J. D. Jo, and K. H. Choi, *Thin Solid Films* **520**, 5070 (2012).
12. J. C. Bernede and T. Abachi, *Thin Solid Films* **131**, L61 (1985).
13. L. O. Chua, *IEEE Trans. On Circuit Theory* **18**, 507 (1971).
14. C. Toumey, *Nat. Nanotechnol.* **11**, 2 (2016).
15. S. H. Kim and Y. K. Choi, *IEEE Trans. Electron Dev.* **56**, 3049 (2009).
16. D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, *Nature* **443**, 80 (2008).
17. J. R. Contreras, H. Kohlstedt, U. Poppe, R. Waser, C. Buchal, and N. A. Pertsev, *Appl. Phys. Lett.* **83**, 4595 (2003).
18. J. Shiogai, Y. Ito, T. Mitsuhashi, T. Nojima, and A. Tsukazaki, *Nat. Phys.* **12**, 42 (2016).
19. S. M. Walker, F. Y. Bruno, Z. Wang, A. D. L. Torre, S. Riccò, A. Tamai, T. K. Kim, M. Hoesch, M. Shi, M. S. Bahramy, P. D. C. King, and F. Baumberger, *Adv. Mater.* **27**, 3894 (2015).

20. J. H. Park, J. Seo, S. Park, S. S. Shin, Y. C. Kim, N. J. Jeon, H.-W. Shin, T. K. Ahn, J. H. Noh, S. C. Yoon, C. S. Hwang, and S. I. Seok, *Adv. Mater.* **27**, 4013 (2015).
21. R. Yasuhara, K. Fujiwara, K. Horiba, H. Kumigashira, and M. Kotsugi, *Appl. Phys. Lett.* **95**, 012110 (2009).
22. W.-Y. Chang, Y.-C. Lai, T.-B. Wu, S.-F. Wang, F. Chen, and M.-J. Tsai, *Appl. Phys. Lett.* **92**, 022110 (2008).
23. J.-M. Yan, Z.-L. Wang, L. Gu, S.-J. Li, H.-L. Wang, W.-T. Zheng, and Q. Jiang, *Adv. Energy. Mater.* **5**, 1500107 (2015).
24. H. Z. Zhang, D. S. Ang, Y. Zhou, and X. P. Wang, *Appl. Phys. Lett.* **111**, 043501 (2017).
25. F. Miao, J. P. Strachan, J. J. Yang, M.-X. Zhang, I. Goldfarb, A. C. Torrezan, P. Eschbach, R. D. Kelley, G. Medeiros-Ribeiro, and R. S. Williams, *Adv. Mater.* **23**, 5633 (2011).
26. Y. Yang, P. Sheridan, and W. Lu, *Appl. Phys. Lett.* **100**, 203112 (2012).
27. J. J. Yang, M.-X. Zhang, M. D. Pickett, F. Miao, J. P. Strachan, W.-D. Li, W. Yi, D. A. A. Ohlberg, B. J. Choi, W. Wu, J. H. Nickel, G. Medeiros-Ribeiro, and R. S. Williams, *Appl. Phys. Lett.* **100**, 113501 (2012).
28. L. Bamoulid, M.-T. Maurette, D. D. Caro, A. Guenbour, A. B. Bachir, L. Aries, S. E. Hajjaji, F. Benoît-Marquié, and F. Ansart, *Surf. Coat. Technol.* **202**, 5020 (2008).
29. D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, *Nature* **453**, 80 (2008).
30. M. Suzuki and K. Asai, *J. Electrochem. Soc.* **131**, 185 (1984).
31. J.-P. Heinß, F. Händel, T. Meyer, and R. Würz, *Plasma Process. Polym.* **6**, S29 (2009).
32. L. Zhang, Q. He, W.-L. Jiang, F.-F. Liu, C.-J. Li, and Y. Sun, *Chin. Phys. Lett.* **25**, 3452 (2008).
33. L. Wang, Z. S. Su, and C. Wang, *Appl. Phys. Lett.* **100**, 213303 (2012).
34. W.-G. Lee, B. E. Park, and K. E. Park, *Met. Mater. Int.* **19**, 597 (2013).