실리콘 웨이퍼의 그리비지 다이싱 역학

이성민^{1,*} · 김연욱²

¹국립인천대학교 신소재공학과

²계명대학교 신소재공학과

Cleavage Dicing Mechanics in Silicon Wafers

Seong-Min Lee^{1,*} and Yeon-Wook Kim²

¹Department of Materials Science & Engineering, Incheon National University, Incheon 22012, Republic of Korea

²Department of Advanced Materials Engineering, Keimyung University, Daegu 42601, Republic of Korea

Abstract: This article details how effectively dicing damage of silicon wafers can be mechanically minimized by appropriate laser-induced groove formation prior to wafer separation. Various laser dicing factors, such as the laser-control power, the scan rate and the scan number of the laser beam, were estimated to determine the optimum groove morphology for minimization of chipping damage. The experimental results show that repeated low-power laser beam scanning can be more effective for proper groove formation than single high-power laser beam scanning. In-situ scanning electron microscopic examinations show that the curvature of a laser-induced groove tip can be the most critical factor for minimizing chipping damage during silicon wafer separation. The suppression of dicing damage on a silicon wafer with a sharp laser-induced tip can be explained by atomic force microscopic examinations showing that cleavage fractures along a {011}-crystal plane can be more possible at smaller curvature radius of the laser-induced groove.

(Received June 26, 2019; Accepted August 30, 2019)

Keywords: semiconductor, silicon wafer, chip, fracture, reliability

1. 서 론

반도체 산업에서 웨이퍼 당 디바이스 칩의 수율을 결정하는데 가장 중요한 요인들 중 하나가 스크라이브 영역을 최소화하여 웨이퍼 당 디바이스 갯수를 극대화하는 것이다. 이를 위해 웨이퍼의 다이싱 공정시 디바이스에 미치는 칩핑 손상 범위를 축소하는 것이 매우 중요하다. 기존의 다이아몬드 입자를 매개체로한 기계적 소우잉 공정의 경우 공정 속도가 빠르고 비용을 최소화할 수 있다는 장점이 있다. 그러나 45,000 rpm 이상의 회전속도를 갖는 다이싱 휠과 웨이퍼 사이의 기계적인 마찰로 인해 웨이퍼의 분리과정에서 필연적인 기계적인 손상 (즉, 칩핑)이 발생한다는 치명적인 단점이 있다 [1-5]. 따라서, 기계적 다이싱 공정으로 분리되는 반도체 웨이퍼의 경우 칩핑 손상을 수용할 수 있

는 공간 (즉, 스크라이브 지역)이 확보되어야 한다 [5]. 이러한 공간은 웨이퍼 당 굿다이의 갯수를 늘리는데 장애요인이 된다. 그럼에도 불구하고 저렴한 공정비용으로 빠른 공정속도에 대한 장점이 있어 두꺼운 웨이퍼나 다층 웨이퍼의 다이싱에 소우잉 공정이 아직도 널리 활용되고 있다. 반면, 웨이퍼의 두께가 얇을 경우 레이저를 이용한 다이싱 방법이 병행하여 이용되고 있다 [6-8]. 즉, 레이저의 높은 열에너지를 이용하여 웨이퍼의 분리선을 따라 웨이퍼를 녹여 웨이퍼를 분리하는 공정이다. 이러한 레이저 어브레이션 공정의 경우 칩핑은 최소화할 수 있으나 웨이퍼의 표면이 지속적으로 레이저의 높은 열에너지에 노출되어 회로가 장착된 디바이스가 손상될 수 있다는 단점이 있다 [6-8]. 이와 같은 단점을 보완하기 위해 본 연구에서는 웨이퍼를 레이저 어브레이션에 의해 완전히 분리시키지 않고 대신 레이저에 의해 웨이퍼 표면에 분리 홈만을 만든 후 웨이퍼 표면에 접착 재료를 부착한 후 적절한 온도까지 가열하여 열팽창을 유도하여 분리 홈에서 웨이퍼의 분리가 발생하도록 하는 다이싱 공정을 시험하고자 한다. 이러한 공정은 이미

- 이성민·김연욱: 교수

*Corresponding Author: Seong-Min Lee

[Tel: +82-32-835-8276, E-mail: smlee@inu.ac.kr]

Copyright © The Korean Institute of Metals and Materials

개발되었으나 최적의 분리 홈을 만들기 위한 레이저 공정의 최적화 방안에 대한 연구나 레이저 공정별 또는 홈의 모양에 따라 분리 웨이퍼에 발생가능한 칩핑에 대한 연구는 상당히 미진한 편이다 [5]. 따라서 본 연구에서는 최적의 분리 홈을 만들기 위한 최적의 레이저 공정조건을 찾기 위해 레이저의 전력, 스캔 속도 및 스캔 횟수 등을 차별화에 따른 웨이퍼 다이싱의 효율성에 대해 집중적으로 연구하고자 한다. 특별히, 여러 레이저 공정조건에 따라 실리콘 웨이퍼 상에 어떠한 분리 홈이 발생될 수 있으며, 그에따라 웨이퍼 최종 분리시 칩핑 손상은 어떠한 양상으로 전개될 수 있는지에 대한 심도있는 연구가 진행될 예정이다. 그 결과를 바탕으로 웨이퍼 당 디바이스 수율을 극대화하기 위해 최적의 다이싱 공정조건을 마련하고자 한다.

2. 실험 방법

다이싱 공정을 위해 12인치 직경 그리고 50 μm 두께의 실리콘 단결정 웨이퍼가 사용되었다. 웨이퍼들에 여러 형태의 분리 홈들을 형성한 후 웨이퍼에 접착재를 부착하여 해당 웨이퍼들을 분리하기에 적합한 150 $^{\circ}\text{C}$ 까지 가열하여 웨이퍼의 분리 홈에 인장응력을 유도하여 웨이퍼를 최종 분리시키는 공정방법이 채택되었다. 접착재는 실리콘 웨이퍼의 열팽창계수 ($2.3 \times 10^{-6} / ^{\circ}\text{C}$) 보다 열팽창계수가 80배 정도 큰 실리콘 고무 ($\text{C}_2\text{H}_8\text{O}_2\text{Si}$ 을 축합시켜 만든 고분자재료)를 웨이퍼와 동일한 두께로 웨이퍼에 접착하는 방법이 채택되었다.

그림 1은 본 연구에서 활용된 웨이퍼 다이싱 공정을 도식적으로 설명한 그림이다. 그림 1에서 볼 수 있듯이 디바이스가 장착될 웨이퍼 후면에 레이저 빔을 스크라이브 지역 중앙 부위를 따라 조사하여 해당 지역에 그루브를 형성한 후 접착테이프의 열팽창에 의해 웨이퍼를 최종 분리하는 공정이 적용되었다. 레이저 공정별 웨이퍼 표면에 발생한 분리 홈의 단면과 파단면 분석을 위해 optical microscope, scanning electron microscope 그리고 atomic force

Fig. 1. Schematics illustrating the cross-sectional view of a silicon wafer with laser-induced notch.

microscope가 활용되었다. 레이저의 공정 조건별 웨이퍼의 다이싱 효율성 평가를 위해 레이저의 전력은 25~100 W 그리고 웨이퍼에 레이저 빔의 조사 속도는 100~700 mm/sec로 차별화하였다. 또한, 웨이퍼 다이싱을 위해 레이저 빔의 스캔속도를 적정 속도 이하로 낮추는 것은 반도체 공정시간을 지연시켜 제조원가에 직접적인 부담을 줄 수 있다는 점을 고려하여 25~100 W의 레이저 전력 범위에서 레이저 빔의 조사속도를 700 mm/sec로 고정한 후 레이저 빔의 조사 횟수를 1회에서 7회까지 차별화하여 분리 홈에 대한 분석이 진행되었다. 이후 여러 레이저 공정별 분리 홈을 가진 웨이퍼들은 접착 테이프를 부착하여 0 $^{\circ}\text{C}$ 까지 냉각한 후 다시 150 $^{\circ}\text{C}$ 까지 가열하여 웨이퍼의 최종분리를 유도하였다. 본 연구에서 채택된 온도범위는 반도체 제품의 신뢰성 연구과정에서 필연적으로 적용되는 온도범위 내에서 시행되어 차후 반도체 회로의 손상에 전혀 영향을 미치지 않는 온도범위이다. 레이저 공정별 웨이퍼에 발생하는 칩핑 손상 범위는 optical microscope와 scanning electron microscope를 이용하여 측정되었고, 가장 큰 칩핑 손상 범위가 레이저 공정 조건에 따라 도표로 작성되었다. 또한, 각 공정별로 차별화되어 분리된 다이싱 절단면은 분리과정에서의 벽개 파괴와의 연관성 검증에 위해 AFM을 이용하여 정밀 분석되었다.

3. 결과 및 고찰

본 연구에서는 회로에 직접적인 열손상을 예방하기 위해 레이저 어브레이션 공정은 웨이퍼 이면에 분리 홈을 만드는 역할에만 한정된다. 그럼에도 불구하고 열팽창에 의한 웨이퍼의 최종적인 분리는 인장성분의 응력에 의해 기계적으로 분리되는 과정을 겪게 되어 분리된 다이에 미세한 칩핑 손상이 발생할 수 있다. 그림 2는 레이저 빔에 의한 분리 홈이 만들어진 후 열팽창에 의해 분리된 웨이퍼에 발생한 칩핑 손상을 보여주는 사진이다. 전술한 것처럼 이러한 칩핑이 발생할 경우 웨이퍼 표면에 장착된 액티브 디바이스의 손상으로 이어질 수 있기 때문에 디바이스 사이에 스크라이브 지역이라 불리는 일정 여유 공간을 만들어 다이싱에 의한 디바이스 손상을 예방하여야 한다 [5]. 이러한 스크라이브 지역의 크기가 클수록 웨이퍼 당 디바이스를 만들 수 있는 여유 공간이 줄어들기 때문에 칩핑 손상을 최소화하여 스크라이브 지역의 면적을 최소화하는 것이 반도체 제품의 생산성을 극대화시키는 철평이다. 본 연구에서 레이저 다이싱 공정을 도입한 이유도 같은 맥락으로 설명될 수 있다.

Fig. 2. Micrograph of the diced chip with chipping damage.

본 연구에서는 레이저 공정 도입으로 인한 분리 홈의 형성에 의해 순수한 소우잉 공정 보다 칩핑 손상 범위는 크게 줄일 수 있지만 웨이퍼의 최종 분리과정에서 미세한 칩핑 손상이 여전히 발생할 수 있기 때문에 이러한 미세 칩핑 손상마저도 최소화할 수 있는 방안들이 연구되었다. 이를 위해 여러 레이저 공정조건별 웨이퍼 표면에 형성될 수 있는 분리 홈들을 차별화하여 칩핑 손상을 최소화할 수 있는 방안들을 연구하였다. 레이저 빔의 전력, 스캔 속도, 스캔 횟수 등을 변수로 하여 웨이퍼 표면에 레이저 빔에 의해 형성된 그루브의 모양과 깊이 등을 분석하였고, 그 결과를 기초로 하여 각각의 공정조건별 칩핑 손상의 범위를 측정하여 가장 효율적인 다이싱 공정 방안에 대해 연구하였다. 그림 3은 레이저 빔의 전력과 스캔 속도의 함수로 칩핑 손상의 크기를 나타낸 도표이다. 본 결과에서 레이저 빔의 전력이 증가할수록 칩핑 손상이 줄어드는 경향이 있다는 것을 알 수 있었다. 이는 레이저 빔의 전력이 클수록 웨이퍼 표면에 형성되는 그루브의 깊이가 깊어지기 때문에 충분히 예견되었던 결과이다. 또한 레이저 빔의 스캔속도가 느릴수록 칩핑 손상의 크기가 감소한다는 것을 확인할 수 있었다. 이 또한 웨이퍼 표면에 레이저 빔의 노출시간이 길어 질수록 그루브의 깊이가 깊어지기 때문으로 볼 수 있다. 본 연구에서는 레이저 어브레이션에 의해 웨이퍼 표면에 형성되는 그루브의 깊이가 깊어지고 그 결과 칩핑 손상 범위가 줄어든다는 사실에 대한 보다 명확한 근거를 찾기 위해 레이저 빔에 의해 형성된 그루브의 단면을 주사전자현미경으로 분석하였다. 그림 4(a)는 레이저 빔의 전력이 100 W이고, 스캔 속도가 700 mm/sec 일때 웨이퍼 표면에 발생된 그루브의 단면을 보여주는 주사전자현미경 사

Fig. 3. Three-dimensional graph showing largest chipping damage size as a function of laser scan rate and power.

Fig. 4. Scanning electron micrographs showing laser-induced notches prepared under two different scan rates; a) 700 mm/sec, and b) 100 mm/sec.

진이며, 그림 4(b)는 레이저 빔의 전력이 100 W이고, 스캔 속도가 100 mm/sec 일때 웨이퍼 표면에 발생된 그루브의 단면을 보여주는 주사전자현미경 사진이다. 그림 4에서 확인할 수 있듯이 레이저 빔의 전력이나 스캔속도에 따라 그루브의 깊이가 2배 이상 차이를 나타낸다는 것을 보여 준다. 이는 레이저 공정조건에 따라 그루브의 깊이가 차별화되어 칩핑 손상의 범위에 직접적인 영향을 미칠 수 있다는 명확한 근거임을 알 수 있다. 다만, 그림 4(b)에서 볼

Fig. 5. Three-dimensional graph showing largest chipping damage size as a function of laser scan number and power.

수 있듯이 레이저의 스캔속도가 느릴 경우 그루브 팁의 곡률반경도 증가할 수 있다는 사실도 확인하였다. 더불어, 레이저 빔의 스캔속도를 늦추는 것은 자칫 디바이스가 과도한 열에너지에 노출될 수 있어 또 다른 신뢰성 문제를 발생시킬 수 있다. 따라서, 본 연구에서는 레이저 빔의 스캔속도를 적정하게 유지하면서 스캔 횟수를 변화시켜 칩핑손상을 줄일 수 있는 방안에 대해 추가적으로 연구하였다.

그림 5는 레이저 빔의 전력과 레이저 빔의 스캔속도를 700 mm/sec로 고정한 후 스캔 횟수를 변화시켜 분리된 웨이퍼의 최대 칩핑손상 크기를 나타낸 도표이다. 본 결과에서 알 수 있듯이 레이저 빔의 스캔횟수가 증가할수록 칩핑손상범위가 줄어든다는 것을 확인할 수 있었다. 특이한 점은 100 W의 전력에서 단일 횟수의 스캔보다는 25 W의 전력에서 7회의 스캔에서 칩핑 손상의 크기가 더욱 급격히 줄어들 수 있다는 것이다. 이러한 실험결과에 대한 원인분석을 위해 낮은 전력으로 레이저 스캔횟수를 늘려 진행된 웨이퍼의 그루브 단면을 scanning electron microscope로 분석하였다.

그림 6은 25 W의 전력에서 7회 스캔하여 웨이퍼 표면에 발생된 그루브의 단면을 보여주는 전자현미경 사진이다. 그림 6에서 볼 수 있듯이 낮은 전력에서 여러번 스캔한 시편의 경우가 높은 전력에서 단일 스캔한 시편 보다 그루브 팁 곡률 반경이 훨씬 더 작아 노치효과를 더욱 극대화시킬 수 있다는 것을 확인할 수 있었다. 물론 레이저 빔의 스캔 횟수가 증가하는 것은 반도체 생산 속도를 늦추는 단점이 있지만, 한번에 많은 열에너지를 웨이퍼에 가하지 않고 대신 레이저에 의한 열을 방출할 수 있는 시간적 여유를 갖게 된다는 점에서 웨이퍼에 장착된 디바이스의 신뢰성 확보에는 도움이 될 것으로 판단된다. 결론적으로 그림 6에서 볼 수 있듯이 낮은 전력에서 빠른 속도의 레이저 빔으로 7회 스캔하여 형성된 분리 홈은 높은 레이저 빔 전력

Fig. 6. Scanning electron micrograph showing a notch after scanning seven times.

에서 느린 스캔 속도로 단일 스캔하여 형성된 분리 홈 보다 그루브의 깊이는 깊지 않으나 그루브 팁의 곡률 반경이 작아 상대적으로 웨이퍼의 최종 분리과정에서 칩핑 손상을 최소화하는데 도움이 되는 것으로 평가되었다.

레이저 공정 차별화 즉, 그루브 팁의 곡률 반경이 작을 경우 분리된 웨이퍼의 칩핑 손상이 줄어드는 원인에 대한 좀 더 심도 있는 연구를 위해 분리된 웨이퍼의 파단면에 대한 AFM(atomic force microscope) 분석이 추가적으로 실시되었다. 그림 7(a)는 레이저의 전력이 100 W이고 단일 스캔이 적용되어 분리된 웨이퍼의 파단면을 보여주는 atomic force microscope 사진이며, 그림 7(b)는 레이저의 전력이 25 W이고, 스캔 횟수가 7회인 조건하에서 분리된 웨이퍼의 파단면을 보여주는 atomic force microscope 사진이다. Atomic force microscope 분석 결과 높은 전력의 레이저 빔이 한번 스캔하여 분리된 웨이퍼의 파단면이 낮은 전력의 레이저 빔이 7번 스캔하여 분리된 웨이퍼의 파단면 보다 표면이 더욱 거칠다는 것을 명확히 보여주고 있다. 이러한 분석은 그림 5에서 보여준 것처럼 낮은 전력에서 스캔 횟수가 7회 이상일 경우 칩핑 손상이 왜 급격히 줄어드는지에 대한 이유를 간접적으로 설명해 주고 있다고 볼 수 있다. 즉, 역학적으로 세라믹 특성의 분리과정에서 그루브의 깊이가 그루브 팁의 곡률 반경 못지 않게 중요하지만 본 연구에서는 그루브의 깊이 보다는 그루브 팁의 곡률 반경이 파단면에 더 큰 영향 미칠 수 있다는 것을 보여주는데 이것은 반도체 제품용 실리콘 웨이퍼가 단결정이기 때문에 가능한 것으로 해석될 수 있다. 부연하면 그루브 팁의 곡률반경이 작을 경우 웨이퍼 다이싱 면을 따라 {011} 벽개파괴의 가능성이 그만큼 커지기 때문에 분리과정에서의 칩핑 손상이 최소화될 수 있는 것으로 해석될 수

Fig. 7. Atomic force micrographs showing separation surfaces of wafers with notches prepared under two different laser processes; a) scanning one time at 100 W, and b) scanning eight times at 25 W.

있다 [9,10]. 반면, 그루브 깊이가 깊더라도 팁의 곡률반경이 클 경우에는 웨이퍼의 다이싱 면을 따라 발생하는 웨이퍼 분리가 {011} 벽개면의 이점을 충분히 살리지 못하여 칩핑 손상의 범위를 충분히 줄이지 못하는 것으로 해석될 수 있다. 결국, 본 연구에서 칩핑 손상의 범위는 레이저에 의해 형성된 분리 홈이 웨이퍼의 벽개파괴에 얼마나 유용하게 작용하느냐에 의해 결정되는 것으로 판단된다.

역학적으로 웨이퍼의 열팽창 과정에서 그루브 팁에 발생하는 응력은 아래와 같다 [11]. (그림 1 참조)

$$\sigma_1 \propto 1 / r^n \quad (1)$$

단, σ_1 은 인장성분의 그루브 팁에 작용하는 인장응력, R 은 그루브 팁의 곡률 반경 그리고 n 은 기하학적 상수

위의 수식에서 대부분의 세라믹 재료의 경우 n 은 1 이하의 값을 갖기 때문에 역학적으로 웨이퍼의 열팽창 과정에서 그루브 팁에 발생하는 인장성분의 응력은 곡률반경에 대단히 민감한 편은 아니다. 그러나, 주어진 응력 하에서 단결정 실리콘의 파괴강도는 결정방향에 따라 상당히 달라질 수 있다 [5]. 타당한 이유는 결정방향에 따라 실리콘 원자의 점유밀도가 다르기 때문에 균열의 성장에 필요한 파단면 생성 에너지가 차별화 될 수 있기 때문이다 [9,10].

Fig. 8. Schematics illustrating the dicing mechanism of silicon wafer with laser-induced notch.

예를들어, {011} 결정면의 경우 실리콘 원자의 점유밀도가 42% 정도로 {001} 결정면의 원자 점유밀도인 29% 보다 월등히 높아 균열의 성장이 더 쉬운 것으로 알려져 있다 [5,9,10]. 따라서, 본 연구에서 그루브 팁에 발생하는 응력의 절대적인 크기 보다는 주어진 응력이 {011} 결정면으로의 균열 성장에 얼마나 효과적으로 작용할 수 있는 지가 대단히 중요한 변수가 될 수 있다는 추론이 가능하다.

그림 8은 상기의 이론적 배경과 분석결과를 근거로 레이저에 의해 형성된 그루브의 위치 및 단결정 실리콘 웨이퍼의 벽개면 등을 도식적으로 보여주는 그림이다. 본 그림에서 알 수 있듯이 레이저 빔에 의해 발생하는 그루브 팁의 곡률 반경이 작을수록 벽개면 {011}을 따라 인장 응력의 집중도가 극대화될 수 있다는 것을 알 수 있다. 그 결과 벽개파괴의 가능성이 그만큼 커져서 웨이퍼 분리가 디바이스 표면에 수직한 {011} 결정면에 집중되어 칩핑 손상범위가 최소화 될 수 있다는 것을 도식적으로 보여준다.

4. 결 론

본 연구에서는 적절한 레이저 공정에 의해 웨이퍼 스크라이브 지역 중앙선을 따라 형성된 분리 홈은 그 모양과 깊이에 따라 웨이퍼의 최종 분리과정에서 발생하는 칩핑 손상에 상당히 큰 영향을 줄 수 있다는 것을 입증하였다. 특별히, 레이저 전력이 25 W이고, 스캔 횟수가 7회인 공정에 의해 형성된 분리 홈의 경우 레이저 빔의 전력이 100 W이고, 단일 스캔에 의해 형성된 분리 홈 보다 홈의 깊이는 깊지 않더라도 칩핑 손상을 줄이는데 더 효과적이라는 것을 알 수 있었다. SEM과 AFM 사진 분석을 통해 낮은 전력에서 여러 번의 스캔에 의해 형성된 분리 홈의 경우 그루브 팁의 곡률 반경이 상대적으로 작아 웨이퍼의 {011} 결정면을 따라 벽개파괴를 유도하는데 더욱 유리할 수 있다는 것을 검증할 수 있었다. 결국, 칩핑 손상 최소화의 한정된 목적하에서는 레이저 공정에 의한 분리 홈의 도입은 홈의 깊이 보다는 홈의 팁 모양이 더 중요하며, 이는

단결정 웨이퍼의 벽개파괴의 특성 때문인 것임을 증명하였다. 본 연구 결과는 반도체 웨이퍼의 다이싱 과정에서 발생하는 불량률 감소와 개별 디바이스의 품질 향상에 기여할 수 있을 것으로 기대된다.

감사의 글

본 연구는 2018년도 인천대학교의 연구지원에 의해 수행되었으며, 이에 감사 드립니다.

REFERENCES

1. T. J. Su, Y. F. Chen, J. C. Cheng, and C. L. Chiu, *Microelectron. Reliab.* **91**, 257 (2018).
2. K. W. Shi, Y. B. Kar, H. Misran, Y. K. Yun, L. W. Yew, and T. C. Huie, *Aust. J. Basic Appl. Sci.* **8**, 6 (2014).
3. J. W. Lin and M. H. Cheng, *J. Manuf. Process* **16**, 373 (2014).
4. H. Zhou, S. Qiu, H. Yanxia, and N. Chang, *Int. J. Adv. Manuf. Tech.* **66**, 5 (2012).
5. S. M. Lee, *Mater. Trans.* **58**, 530 (2017).
6. K. W. Shi, Y. B. Kar, H. Misran, Y. K. Yun, L.T. Beng, and L. W. Yew, *Aust. J. Basic and Appl. Sci.* **8**, 24 (2014).
7. M. H. Hong, Q. Xie, K. S. Tiaw, and T. C. Chong, *J. Laser Micro. Nanoen.* **1**, 1 (2006).
8. H. H. Tran, J. Beleran, Y. S. Koh, P. L. Ong, G. Mehta, G. Librado, X. R. Zhang, and C. Surasit, *IEEE Trans. Compon. Pack. Manuf. Tech.* **1**, 1923 (2011).
9. S. Sherman and B. Ilan, *Scr. Mater.* **49**, 551 (2003).
10. S. Sherman and B. Ilan, *J. Mech. Phys. Solids* **52**, 1743 (2004).
11. Y. Xu, L. M. Keer, and V. K. Luk, *Int. J. Solids and Struct.* **34**, 1531 (1997).