다이싱 속도 변화가 두께가 차별화된 반도체 웨이퍼의 칩핑 손상에 미치는 영향

이성민

인천대학교 신소재공학과

Effect of Sawing Velocity Variation on Chipping Damage of Semiconductor Wafers with Different Thicknesses

Seong-Min Lee

Department of Materials Science & Engineering, Incheon National University, Incheon 22012, Republic of Korea

Abstract: This work details how the sawing velocity influences the chipping damage of semiconductor wafers with different thicknesses during wafer separation. The experimental result shows that at a sawing velocity higher than 60000 rpm, in thinner wafers the magnitude of chipping damage more strongly depends on the revolving velocity of the saw blade. It is also shown that the aspect ratio of the sawing-induced groove formed in a wafer is a key factor in determining the dependence of the chipping damage magnitude on wafer thickness. That is, at a sawing velocity higher than 60000 rpm, the saw blade thickness should be thin enough to allow the sawing-induced scribe (in the shape of a trench) in the wafer to have an aspect ratio larger than 2. Consequently, in order to prevent degradation in device reliability due to the mechanical dicing of a semiconductor wafer thinner than 3T (approximately 45 μm), the sawing velocity or saw blade thickness should be reduced.

(Received November 16, 2015; Accepted March 8, 2016)

Keywords: semiconductor, silicon, chip, fracture, reliability

1. 서 론

인간의 머리카락 직경(약 80 μm 정도) 보다 얇은 두께를 갖는 반도체 디바이스의 경우 웨이퍼 다이싱 과정에서 발생하는 미세한 기계적인 결함들의 존재로 인하여 최종 제품의 신뢰성에 치명적인 문제가 발생할 수 있다 [1]. 더욱이 다중 칩 모듈(multi-chip module, MCM) 구조를 갖는 반도체 제품의 경우 디바이스의 두께가 45 μm 이하로 개발되고 있어 웨이퍼 다이싱 과정에서 발생할 수 있는 기계적 결함을 최소화하기 위한 노력이 더욱 절실한 실정이다. 이러한 취지에서 본 연구에서는 디바이스의 슬림화에 대응할 수 있는 최적화된 다이싱 공정조건을 찾고자 한다.

기본적으로 기계적인 소우잉 공정을 이용한 반도체 웨이퍼의 분리과정에서는 다이싱된 개별 칩의 칩핑 손상이 필연적으로 동반 될 수 있다 [1-9]. 따라서, 반도체 칩의 품질향상

을 위해서는 이러한 칩핑 손상을 최소화하여 반도체 디바이스의 신뢰성 저하를 예방하는 것이 매우 중요하다 [1]. 실리콘처럼 취성이 큰 반도체 웨이퍼의 칩핑 손상을 줄이기 위해서는 소우잉 속도를 줄이는 것이 필요하다. 그러나, 소우잉 속도의 감속은 자칫 반도체 웨이퍼 다이싱 공정의 지연으로 인해 반도체 제품의 생산성 저하로 이어질 수 있고 그에 따라 제품 원가부담으로 작용할 수 있다. 따라서, 칩핑 손상을 억제하면서 공정속도 저하를 최소화할 수 있는 방안에 대한 연구가 필요하다. 본 연구에서는 이러한 필요성에 근거하여 반도체 웨이퍼의 다이싱 속도에 따른 반도체 웨이퍼 칩핑 손상 형태를 명확히 규명한 후 소우잉 속도를 적정 수준으로 유지하면서도 칩핑 손상을 최소화 시킬 수 있는 여러 방안들에 대해 연구하고자 한다. 특별히, 점차 경박 단소화 되어 가는 전자제품의 추세에 편승하여 반도체 디바이스 두께 또한 지속적으로 줄어 들고 있는 현실을 감안하여 본 연구에서는 웨이퍼 두께를 차별화하여 소우잉 공정 조건별 칩핑 손상 최소화 방안에 대해 심도 있는 연구를 진행하고자 한다.

*Corresponding Author: Seong-Min Lee

[Tel: +82-32-770-8276, E-mail: smlee@inu.ac.kr]

Copyright © The Korean Institute of Metals and Materials

Fig. 1. Schematic showing wafer grinding.

Fig. 2. Micrograph showing individually diced chip.

2. 실험방법

일반적인 초고밀도 집적회로(very large scale integration, VLSI) 공정에 의해 다바이스가 장착된 775 μm 두께 그리고 30 cm 직경의 실리콘 웨이퍼를 325 mesh 그라인더를 이용하여 1차 그라인딩을 실시한 후 6000 mesh 그라인더를 이용하여 2차 그라인딩을 실시하였다. 그림 1은 반도체 웨이퍼의 그라인딩 과정을 보여주는 도식적인 그림이다 [1]. 이때, 실리콘 웨이퍼의 두께 변화에 따른 칩핑 손상 범위에 대한 연구를 위해 최종 웨이퍼 두께는 현재 상용화된 또는 개발중인 반도체 디바이스의 규격을 고려하여 45 μm 에서 180 μm 까지 차별화 하였다. 이러한 실리콘 웨이퍼들의 두께는 소우잉 날의 두께와의 상관관계에 대한 연구를 위해 소우잉 날의 두께 T(15 μm)를 기준으로 3T(45 μm), 6T(90 μm), 9T(135 μm) 그리고 12T(180 μm)까지 총 4가지 그룹으로 차별화하여 선별 하였다. 준비된 웨이퍼들은 길이 1.0 cm 그리고 폭 0.5 cm 규

Fig. 3. Schematic showing one quarter view of silicon wafer.

격으로 기계적인 소우잉 공정을 통해 개별 칩들로 분리되었다. 그림 2는 3T 두께의 웨이퍼에서 분리된 개별 칩을 보여주는 사진이다. 분리된 다이의 칩핑 손상 범위에 대한 연구를 위해 소우잉 휠의 회전속도를 20000 rpm에서 80000 rpm까지 차별화하여 다이싱 공정이 실시되었다. 이때, 칩핑 손상 범위는 스크라이브 영역의 중앙 분리선에서 개별 칩의 표면으로 형성된 기계적인 결함의 크기에 의해 결정되었다. 본 연구에서 채택된 소우잉 날의 회전 속도는 산업현장에서 적용 가능한 범위를 고려하여 선택하였다. 그림 3은 분리된 개별 칩들의 결정학적 방향을 설명하기 위해 도식적으로 그려진 그림이다. 그림 3에서 볼 수 있듯이 칩의 다이싱 방향은 실리콘 원자의 충진율이 가장 높은 {011} 결정면들을 따라 진행되었다. 그림 4는 웨이퍼의 소우잉 과정을 보여주는 그림이다. 여러 차별화된 조건하에서 다이싱 된 칩들의 기계적인 손상에 대한 분석을 위해 분리된 칩들의 표면과 단면에 대한 주사전자현미경(scanning electron microscope, SEM) 분석이 실시되었다.

3. 실험결과

본 연구에서는 반도체 웨이퍼의 두께 감소 및 소우잉 속도 변화에 따라 칩핑 손상이 어떠한 양상으로 전개되는지에 대한 구체적인 실험적 결과 및 해석을 보여준다. 그림 5는 4가

Fig. 4. Schematic showing mechanical dicing process [1].

Fig. 5. Graph showing chipping damage dimension as a function of blade rotation speed (T designates blade thickness).

지 다른 두께를 가진 반도체 웨이퍼를 여러 다른 소우잉 속도로 다이싱하였을 때 개별 칩 표면에서 측정된 칩핑 손상 범위를 평가하여 그 결과를 보여주는 그래프이다. 본 그래프에서 제시된 웨이퍼 두께는 소우잉 날 두께(T)와의 상대적인 비교치를 나타낸 것이다. 실험방법에서 명시된 것처럼 본 연구에서의 웨이퍼 두께는 3T(즉, 45 μm)에서 12T(즉, 180 μm)까지 총 4가지로 분류되었다.

그림 5에서 제시된 본 실험결과에서 확인할 수 있듯이 개별 디바이스의 칩핑 손상 범위는 대체적으로 소우잉 속도가 증가할수록 증가한다는 것을 알 수 있다. 그러나, 웨이퍼의 두께가 3T일 경우 소우잉 속도 증가에 따른 칩핑 손상 범위의 증가량이 웨이퍼 두께가 12T 일때에 비해 상대적으로 더욱 가파르고, 불안정하게 증가한다는 것을 알 수 있다. 결국, 본 결과는 스마트폰 등 점차 슬림화 되어가는 반도체 디바이스의 요구에 편승하여 더욱 얇아진 반도체 웨이퍼의 다이싱

Fig. 6. Micrographs showing chipping damages in 12T thickness-chips diced at two different sawing speeds: (a) 80000 rpm and (b) 20000 rpm.

을 위해서는 기존의 소우잉 공정으로는 반도체 디바이스의 신뢰성을 담보할 수 없다는 것을 증명하는 것이라 할 수 있다. 즉, 웨이퍼 두께가 3T 이하로 얇아질 경우 고속 소우잉 공정에서 칩핑 손상 범위가 불규칙적으로 발생한다는 것은 반도체 디바이스의 슬림화에 따라 소우잉 공정 조건도 적절하게 개선되어야 한다는 것을 의미하는 것이라 평가할 수 있는 것이다.

그림 6은 반도체 웨이퍼의 두께가 12T일 경우 2가지 차별화된 소우잉 속도에서 분리된 디바이스들의 칩핑 손상을 보여주는 SEM 사진들이다. 그림 6(a)는 80000 rpm의 소우잉 속도에서 분리된 반도체 칩의 칩핑 손상을 보여주는 SEM 사진이고, 그림 6(b)는 20000 rpm의 소우잉 속도에서 분리된 반도체 칩의 칩핑 손상을 보여주는 SEM 사진이다. 일반적으로 소우잉에 의한 반도체 웨이퍼의 분리과정은 순수한 소우잉 과정에 의해 웨이퍼가 분리되는 것이 아니라 웨이퍼의 일정 깊이까지 소우잉이 진행된 후 나머지는 실리콘 웨이퍼의

Fig. 7. Micrographs showing chipping damages in 3T thickness-chips diced at two different sawing speeds: (a) 80000 and (b) 20000 rpm.

취성 파괴에 의해 분리되는 것으로 알려져 있다 [1]. 결국, 웨이퍼의 분리과정은 크게 2 단계 과정으로 분리되며, 칩핑 손상은 제 2 단계 분리 과정에서 발생하게 되는 것으로 볼 수 있는 것이다. 따라서, 제 1 단계 과정 보다는 제 2 단계 과정을 줄이는 것이 반도체 웨이퍼의 소우잉 과정에서 발생하는 칩핑 손상을 최소화 하는 길이라 할 수 있다. 고속으로 회전하는 소우잉 휠의 경우에서 회전날의 충격량이 크기 때문에 제 1 단계 과정 보다는 제 2 단계 과정이 더욱 활성화 될 수 있으며, 그로인해 칩핑 손상이 더 심화되는 것으로 해석될 수 있다. 즉, 그림 6(a)에서 확인할 수 있듯이 고속으로 회전하는 소우잉 과정에서 분리된 칩의 단면에서는 제 1 단계 과정의 특징을 나타내는 굽힌 자국이 칩핑 영역 부근에는 나타나지 않는다는 것을 알 수 있다. 결국, 고속 회전에 의한 웨이퍼의 분리과정에서는 소우잉 날이 웨이퍼 깊은 위치까지 침투하지 못한 상태에서 제 2 단계의 취성 파괴가 더욱 두꺼운 실리콘에서 발생하게 되므로 칩핑손상 범위가 넓어지는 것으로

해석될 수 있다.

반면, 소우잉 휠의 회전속도가 느린 경우에는 그림 6(b)에서 확인할 수 있듯이 제 1 단계 분리과정에서 나타나는 굽힌 자국이 칩핑 영역 가까운 위치에서 까지 관찰됨을 알 수 있다. 즉, 저속 소우잉 공정의 경우 회전날이 웨이퍼의 더욱 깊은 위치까지 본연의 임무(즉, 1 단계 공정)를 수행한 후 나머지 얇은 실리콘에 대해서만 제 2 단계의 취성 파괴가 일어날 수 있기 때문에 웨이퍼의 최종 분리가 대단히 한정된 범위에서 칩핑 손상을 일으키는 것으로 해석될 수 있다.

그러나, 웨이퍼의 두께가 감소할 경우 소우잉 속도 변화에 따른 칩핑 손상의 양상도 달라지는 것으로 조사되었다. 그림 7은 웨이퍼의 두께가 3T일 경우 분리된 디바이스의 칩핑 손상을 보여주는 SEM 사진들이다. 그림 7(a)은 80000 rpm의 소우잉 속도에서 분리된 반도체 칩의 칩핑 손상을 보여주는 SEM 사진이고, 그림 7(b)은 20000 rpm의 소우잉 속도에서 분리된 반도체 칩의 칩핑 손상을 보여주는 SEM 사진이다. 반도체 웨이퍼의 두께가 감소하여도 웨이퍼의 분리 과정이 2 단계 분리 과정으로 발생하는 것에는 변화가 없으나 웨이퍼 두께가 얇아질 경우 제 2 단계 취성 파괴 양상이 달라지는 것으로 조사되었다. 즉, 그림 7(a)에서 제시된 SEM 사진은 칩핑 손상의 범위가 스크라이브 영역을 벗어나 디바이스의 액티브 영역까지 광범위하게 발생할 수 있다는 것을 보여주고 있다. 이것은 소우잉 날의 폭(T) 대비 웨이퍼의 두께(3T) 차이가 3 이하일 경우 제 1 단계 분리과정에서 소우잉 날이 웨이퍼에 침투하여 형성되는 홈의 결합형상비(aspect ratio)가 너무 작아 홈에 충분한 노치 효과를 유도할 수 없기 때문으로 해석된다. 부연하면, 소우잉 속도가 고속일 경우에는 소우잉 날이 제 1 단계 분리 과정에서 얇은 웨이퍼 내로 침투하여 형성되는 홈의 결합형상비가 두꺼운 웨이퍼에 비해 상대적으로 작기 때문에 얇은 웨이퍼 홈에서 형성되는 응력 집중도 역시 상대적으로 낮아 질 수 있다. 이론적으로 홈의 결합형상비가 클수록 노치 효과로 인해 홈에 수직 방향으로 발행되는 인장성분의 응력 집중도가 커지는 것으로 알려져 있다 [10-12]. 따라서, 홈의 결합형상비가 클 경우 제 2 단계의 취성 파괴가 소우잉이 진행되는 방향으로 발생할 가능성은 그 만큼 높아질 수 있으며, 그에 따라 칩핑 손상은 제한적으로 발생하는 것으로 해석된다. 그러나, 결합형상비가 작을 경우 노치효과로 인해 제 1 단계 분리 과정에서 형성된 홈에 발행되는 응력 집중도 자체가 작기 때문에 제 2 단계 취성 파괴는 노치효과 보다는 훨씬 복잡한 역학적 반응에 의해 발생할 수 있는 것으로 해석된다. 그 결과, 그림 5에서 제시된 실험결과에서처럼

Fig. 8. Schematic to illustrate sawing blade-induced trench formed in silicon wafer during dicing process.

칩 표면에서 측정된 칩핑 손상의 범위가 대단히 불규칙적인 양상으로 전개될 수 있으며, 때때로 홈을 많이 벗어난 위치까지 칩핑 손상 범위가 확대되는 것으로 볼 수 있다. 극단적인 예로 웨이퍼의 두께가 소우잉 날의 두께 보다 얇을 경우 고속 회전하는 소우잉 날은 웨이퍼에 홈을 만들기도 전에 웨이퍼의 손상을 초래할 수 있으며, 이때 웨이퍼는 홈에 발생하는 응력집중이 아닌 회전날의 충격력 등으로 인해 홈을 벗어난 여러방향으로 불규칙하게 파괴될 수 있을 것이다. 반면, 그림 7(b)에서 볼 수 있듯이 웨이퍼 두께가 얇고(3T) 소우잉 속도가 매우 느린 경우 칩핑 손상은 대단히 제한적인 범위에서 발생한다는 것을 알 수 있다. 이것은 저속 소우잉의 경우 소우잉 날(T)이 제 1 단계 분리과정에서 웨이퍼(3T)의 더욱 깊은 위치(2T 이상)까지 침투할 수 있기 때문인 것으로 해석된다. 즉, 저속 소우잉에서 회전날이 웨이퍼의 깊은 위치까지 침투하여 홈 바닥 두께가 소우잉 날의 두께 보다 더 얇아지게 되면 홈 바닥에 국한되어 발생하는 인장성분의 응력이 결코 작지 않기 때문에 제 2 단계 분리 과정에서의 취성 파괴는 홈이 형성된 방향을 크게 벗어나지 않는 범위에서 발생할 수 있는 것으로 판단된다. 결국, 웨이퍼 두께가 얇아 지더라도 소우잉 속도를 낮추면 칩핑 손상 범위를 줄일 수 있는 것으로 해석된다.

4. 고 찰

본 연구에서는 반도체 웨이퍼의 두께가 얇을 경우 소우잉 속도가 증가할때 칩 표면에서 측정된 칩핑 손상 범위가 매우 규칙적으로 확대됨을 알 수 있었다. 이에 대한 이론적 고찰을

위해 소우잉 과정에서 웨이퍼의 분리 과정을 그림 8에 도식적으로 나타내었다. 그림 8을 참조하여 제 1 단계 소우잉 과정에서 소우잉 날과 실리콘 웨이퍼의 마찰에 의해 형성된 가상의 직육각형 홈이 형성된다고 가정하자. 이때, 홈 내부에는 소우잉 날의 회전 이외에 진동 등 여러가지 기계적인 움직임들이 제 2 단계 웨이퍼 분리 과정에서는 홈에 수직으로 작용하는 인장성분의 응력 집중력으로 작용할 수 있다. 이때, 응력 집중도는 홈 깊이에 다음과 같은 관계식으로 나타낼 수 있다 [10-12].

$$K_I \propto \sqrt{d/T} \quad (1)$$

단, K_I : 응력집중도, d : 홈의 깊이, T : 날의 두께

상기 관계식에 따르면 칩 두께가 12T에서 3T로 줄어들어 홈의 깊이가 대략 4배 정도 깊어질 경우 홈에 발생하는 응력 집중도는 약 200%까지 증가할 수 있다는 것을 알 수 있다. 따라서, 웨이퍼 제 1 단계 분리 과정에서 소우잉 날이 웨이퍼 안으로 충분히 깊이 파고 들 수 있다면, 인장 성분의 K_I 값이 극대화되어 홈이 형성된 부위가 노치효과로 인해 우선적으로 파괴될 수 있게 된다는 해석이 가능해진다. 이 경우 웨이퍼의 제 2 단계 분리과정은 해당 홈에서의 취성 파괴에 의해 완성되므로 칩핑 손상은 그림 8에서 제시된 직육각형 홈을 크게 벗어나지 않는 범위에서 발생할 수 있다는 것을 알 수 있다. 따라서, 소우잉 속도가 느릴 경우 웨이퍼 제 1 단계 분리 과정에서 소우잉 날이 웨이퍼 깊숙히 파고 들어 충분한 깊이(d)의 홈을 만들 수 있기 때문에 소우잉 속도가 낮을수록 홈에 발생하는 응력 집중도 또한 커질 수 있다는 해석이 가능하다. 결국, 저속 소우잉의 경우 웨이퍼 제 2 단계 분리 과정은 웨이퍼의 두께가 얇더라도 홈 바닥에 작용하는 이러한 응력 집중력에 의해 주로 발생된다고 해석할 수 있다. 그리고, 웨이퍼의 두께가 증가할 경우 소우잉 날의 회전속도가 빠르더라도 제 1 단계 분리 과정에서 소우잉 날이 웨이퍼에 침투하여 만들어 지는 홈의 결합형상비 자체가 작지 않기 때문에 홈에서의 노치 효과에 의한 2 단계 파괴 현상이 지배적으로 발생하는 것으로 해석할 수 있다. 그 결과, 소우잉 속도 증가에 따른 칩핑 손상 범위의 확대가 대단히 제한적으로 발생하는 것으로 해석될 수 있다.

그러나, 웨이퍼의 두께가 얇고(3T) 소우잉 속도가 고속일 경우 소우잉 날(T)은 제 1 단계 소우잉 공정에서 웨이퍼내에 충분한 깊이(2T 이상)의 홈을 만들 수 없게 되어 소우잉이 진행되는 방향과 수직한 방향으로 충분한 인장성분의 응력 집

중력을 발생시킬 수 없게 된다. 또한, 소우잉 날의 고속회전으로 인해 웨이퍼에 가해지는 운동 에너지는 상대적으로 크기 때문에 웨이퍼에 제 1 단계 소우잉 과정에서 만들어진 흠에 발생하는 응력 집중력 보다는 고속 회전날과 웨이퍼 사이의 역학적인 반응에 의해 최종 분리가 발생하는 것으로 해석될 수 있다. 부연하면, 웨이퍼 두께가 얇고 소우잉 날의 회전속도가 빠를 경우 제 1 단계 분리 과정에서 만들어진 흠에 의한 노치효과는 더 이상 2 단계 분리 과정에서는 별다른 역할을 하지 못하고, 대신 고속 회전 날의 운동 에너지가 2 단계 분리와정을 완성하는데 더 큰 기여를 하는 것으로 해석될 수 있다.

이때, 웨이퍼에 가해지는 고속 회전날의 운동 에너지는 웨이퍼의 두께가 얇을 경우 웨이퍼 하단의 더욱 광범위한 범위까지 그 영향력을 미칠 수 있게 된다. 즉, 깊지 않은 흠을 가진 웨이퍼의 제 2 단계 분리는 소우잉 날이 웨이퍼에 수직으로 작용하는 운동 에너지에 대해 웨이퍼 전체를 지지하는 지지대의 반발력에 의해 저항하게 되므로 소우잉 속도가 증가할 경우 웨이퍼에 발생하는 충격력이 흠 주변 더욱 광범위한 범위까지 그 영향력을 미칠 수 있는 것이다. 그 결과, 웨이퍼의 제 2 단계 분리 과정은 소우잉 날의 진행 방향을 크게 벗어난 범위까지 칩핑 손상을 발생시킬 수 있는 것으로 볼 수 있다. 이러한 이유로 인해 얇은 웨이퍼를 고속 소우잉 공정으로 분리할 때 칩핑 손상의 범위가 불규칙적으로 확대되는 것으로 해석된다. 특히, 본 연구결과에서는 3T 두께의 웨이퍼를 60000 rpm 이상의 소우잉 속도로 소우잉 할 경우 제 1 단계 공정에서 웨이퍼에 소우잉 날(T)이 파고든 깊이가 2T 이하인 것으로 조사되어 흠의 결합형상비가 2 이하가 될 수 있음이 확인되었다. 그리고 그림 5에서 처럼 이러한 조건하에서는 칩핑 손상 범위가 급격히 확대되는 것으로 평가되었다. 이러한 결과들을 종합하여 판단해 볼 때 흠의 결합형상비가 2 이하일 경우 제 2 단계 분리 과정에서 흠에서의 노치 효과가 급격히 줄어들고 대신 고속 회전날의 충격력 등에 의해 웨이퍼가 최종 분리되는 것으로 판단된다. 따라서, 칩핑 손상의 예방을 위해서는 소우잉 날의 두께를 웨이퍼 두께의 1/3 미만으로 줄이는 것이 바람직할 것으로 판단된다.

결론적으로, 반도체 웨이퍼의 두께 감소에 따른 칩핑손상의 증가를 예방하기 위해서는 소우잉 속도를 최소화하거나 제 1 단계 소우잉 과정에서 발생하는 흠의 결합형상비가 최소 2 이상이 되도록 소우잉 날의 두께를 줄이는 것이 필요할 것으로 판단된다.

5. 결 론

본 연구에서는 반도체 웨이퍼의 두께가 얇을수록 기계적인 다이싱 과정에서 칩핑 손상의 크기가 증가할 수 있다는 것을 확인할 수 있었다. 웨이퍼의 두께가 12T(즉, 180 μm)에서 3T(즉, 45 μm)까지 줄어들 경우 30000 rpm의 소우잉 속도에서는 칩핑 손상의 크기가 42% 정도 증가하였지만, 80000 rpm의 소우잉 속도에서는 칩핑 손상의 크기가 최대 125%까지 증가하는 것으로 조사되었다. 실험적 분석결과와 취성이 큰 실리콘 재질의 특성 때문에 고속 소우잉 공정시 웨이퍼의 두께가 얇을 경우 웨이퍼의 제 1 단계 분리과정에서 소우잉 날이 웨이퍼 내로 침투하는 깊이가 상대적으로 줄어들게 됨을 확인하였다. 그 결과, 웨이퍼의 제 2 단계 분리 과정에서 소우잉 날에 의해 만들어진 흠의 결합형상비가 너무 낮아 흠에서의 응력집중 현상 보다는 소우잉 날과 웨이퍼 전체의 역학적인 반응에 의해 칩핑 손상이 발생할 수 있기 때문에 칩핑 손상이 흠을 크게 벗어난 범위까지 확대되는 것으로 해석되었다. 결론적으로 향후 두께의 감소가 필연적인 반도체 웨이퍼의 기계적인 분리 과정에서 발생할 수 있는 개별 디바이스의 칩핑 손상을 최소화하기 위해서는 웨이퍼 두께가 400% 감소할 때 소우잉 속도를 35% 이상 줄이거나 소우잉 날의 두께를 웨이퍼 두께의 1/3 미만으로 줄여 제 1 단계 소우잉 과정에서 발생하는 흠이 제 2 단계 분리 과정에서 적절한 노치 효과를 발휘할 수 있도록 유도하여야 한다는 것을 확인할 수 있었다. 본 실험결과와 점차 경박화 되어가는 반도체 디바이스의 신뢰성 저하를 예방하기 위한 최적의 다이싱 공정조건을 찾는 데 큰 도움이 될 것으로 기대된다.

감사의 글

본 연구는 인천대학교의 연구지원에 의해 수행되었으며, 이에 감사드립니다.

REFERENCES

1. S. M. Lee, *Surf. Rev. Lett.* **17**, 323 (2010).
2. Z. J. Pei, Graham R. Fisher and J. Liu, *Int. J. Mach. Tool. Manu.* **48**, 1297 (2008).
3. Z. J. Pei, S. R. Billingsley and S. Miura, *I Int. J. Mach. Tool. Manu.* **39**, 1103 (1999).
4. R. Pérez and P. Gumbsch, *Phys. Rev. Lett.* **84**, 5347 (2000).
5. R. Pérez and P. Gumbsch, *Acta Mater.* **48**, 4517 (2000).

6. D. K. Lee, T. G. Lee and S. M. Lee, *Korean J. Met. Mater.* **49**, 726 (2011).
7. D. Sherman and I. Be'ery, *J. Mech. Phys. Solids* **52**, 1743 (2004).
8. D. Sherman and I. Be'ery, *Scripta Mater.* **49**, 551 (2003).
9. D. Sherman, *J. Mech. Phys. Solids* **53**, 2742 (2005).
10. J. R. Rice, *J. Appl. Mech.* **35**, 379 (1968).
11. A. T. Santhanam and R. C. Bates, *Mater. Sci. Eng.* **41**, 243 (1979).
12. X. P. Xu and A. Needleman, *J. Mech. Phys. Solids* **42**, 1397 (1996).
13. S. M. Lee, *Korean J. Met. Mater.* **54**, 204 (2016).